

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Su-jin Ahn et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: SEMICONDUCTOR DEVICES WITH SCALABLE TWO TRANSISTOR
MEMORY CELLS AND METHODS OF FABRICATING THE SAME

Date: January 22, 2004

Mail Stop PATENT APPLICATION

Commissioner for Patents

P. O. Box 1450

Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0031302, filed May 16, 2003.

Respectfully submitted,



D. Randal Ayers

Registration No. 40,493

USPTO Customer No. 20792

Myers Bigel Sibley & Sajovec, P.A.

Post Office Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

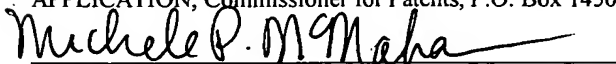
Facsimile: (919) 854-1401

Our File No. 5649-1165

"Express Mail" mailing label number EV 353592983 US

Date of Deposit: January 22, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Washington, DC 20231.


Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0031302
Application Number

출원년월일 : 2003년 05월 16일
Date of Application MAY 16, 2003

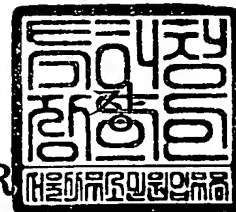
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.10.23
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2003-0031302
【출원일자】	2003.05.16
【심사청구일자】	2003.05.16
【발명의 명칭】	축소 가능한 2개의 트랜지스터 기억 셀을 구비하는 반도체 소자 및 그 형성 방법
【제출원인】	
【접수번호】	1-1-2003-0174701-74
【접수일자】	2003.05.16
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규 정에의하여 위와 같 이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

【수수료】**【보정료】** 0 원**【추가심사청구료】** 0 원**【기타 수수료】** 0 원**【합계】** 0 원**【첨부서류】**

1. 보정내용을 증명하는 서류_1통

【보정대상항목】 식별번호 9

【보정방법】 정정

【보정내용】

디램 소자는 다른 기억 소자들에 비하여 고집적화가 가능하나 소자가 고집적화됨에 따라 누설전류와 같은 여러 문제들 때문에 저장된 데이터를 유지하기가 어렵다. 따라서 디램 소자는 커패시터에 저장된 데이터를 유지하기 위하여 주기적인 리프레쉬 동작을 요구한다. 따라서 대기 상태에서도 전력 소모가 있다. 이와는 다르게 플래쉬 메모리 소자들 또는 이이피롬소자들은 기억셀에 저장된 데이터를 유지하기 위하여 기억 셀을 리프레쉬시킬 필요가 없다. 그러나 플래쉬 메모리 소자는 프로그램시키는데 상대적으로 긴 시간이 요구되며 소거와 프로그램을 반복할 수록 산화막으로 이루어진 터널링 장벽층의 기능이 상실된다.

【보정대상항목】 식별번호 29

【보정방법】 정정

【보정내용】

상기 셀 게이트 패턴(113a)과 상기 주변 게이트 패턴(113c)의 측벽과 상기 활성화 영역(AR)상에 측벽 게이트 유전막(114)이 위치하여 제어라인(118c)으로 부터 절연시킨다. 상기 측벽 게이트 유전막(114)의 측벽은 스페이서(116)에 의해 덮인다. 상기 셀 어레이 영역에서 상기 스페이서(116)와 상기 활성화영역은 상기 제 1 소자분리막(102a)을 가로지르는 제어라인(118c)에 의해 덮인다. 상기 주변회로 영역에서 상기 스페이서(116)는 주변스페이서(118d)에 의해 덮인다. 상기 주변스페이서(118d)는 상기 제어라

인(118c)과 동일한 물질로 이루어진다. 상기 셀 게이트 패턴(113a)과 상기 주변 게이트 패턴(113c)은 하부층간절연막으로 덮인다. 상기 하부층간절연막은 차례로 적층된 제 1 층간절연막(120)과 제 2 층간절연막(122)으로 이루어진다. 상기 제 1 층간절연막(120)의 높이는 상기 제어라인(118c)의 상단부의 높이와 유사하다. 상기 주변회로 영역에서 상기 제 3 소자분리막(102c) 상의 상기 소오스패턴(110) 및 상기 다터닐접합장벽 패턴(108)을 관통하는 주변 게이트 콘택홀(126)이 있다.

【보정대상항목】 식별번호 45

【보정방법】 정정

【보정내용】

상기 방법에 따르면, 소자분리막들(102a, 102b, 102c)을 일반적인 얇은 트렌치 격리(STI) 형성 방법을 이용하므로 새로운 공정이 요구되지 않는다. 셀 게이트 패턴(113a)이 데이터 라인(131a)을 형성하기 전에 형성되므로, 셀 게이트 패턴(113a)이 정확하게 형성될 수 있다. 소자분리막들(102a, 102b) 상에 셀 게이트 패턴(113a)이 중첩되도록 형성되므로 반도체 기판(100)의 식각 손상을 완화할 수 있다. 주변 게이트 콘택홀(126)이 제 3 소자분리막(102c) 상에 형성되므로 반도체 기판(100)에 식각손상을 가하지 않는다. 이로써, 신뢰성을 갖는 STTM 셀을 구비하는 반도체 소자를 구현할 수 있다.

【보정대상항목】 식별번호 48

【보정방법】 정정

【보정내용】

도 4의 반도체 소자는 도 2와 비교할때, 하부층간절연막은 실시예 1과 다르게 제 1 층간절연막(120)의 단일막으로 구성되는 것을 특징으로 한다. 또한 상기 셀 게이트 패턴(113a)의 상측부에서 상기 하부층간절연막은 부분적으로 돌출되어 형성된다. 그외의 구성은 도 2와 동일하다.

【보정대상항목】 식별번호 54

【보정방법】 정정

【보정내용】

도 6을 참조하면, 도 4와 같이 하부층간절연막이 제 1 층간절연막(120)의 단일막으로 구성되나, 상기 스페이서(116)과 상기 제어라인(118c), 및 상기 주변 스페이서(118d)의 상단부가 상기 셀 게이트 패턴(113a)과 상기 주변 게이트 패턴(113c)의 높이보다 높게 형성되며 상기 제 1 층간절연막(120)의 측벽 및 상기 스페이서(116)의 상단부의 측벽을 덮는 절연 스페이서(121)가 존재하여 상기 데이터 라인(131a)과 상기 제어라인(118a)를 완벽하게 절연시킨다. 그외의 구성은 도 4와 동일하다.

【보정대상항목】 식별번호 57

【보정방법】 정정

【보정내용】

따라서, 본 발명에 의한 STTM 셀을 구비하는 반도체 소자 및 그 형성 방법에 따르면, 제어라인이 셀 게이트 패턴의 모든 측면을 둘러싸므로 채널 영역이 늘어나서 반도체 소자의 속도가 빨라진다. 소자분리막을 일반적인 얇은 트렌치 접합 형성 방법을 이용하므로 새로운 공정이 요구되지 않아 구현이 용이하다. 셀 게이트 패턴이 데이터 라인을 형성하기 전에 형성되므로 셀 게이트 패턴이 정확하게 형성될 수 있다. 소자분리막 상에 셀 게이트 패턴을 형성하므로 반도체 기판의 식각 손상을 완화할 수 있다. 또한 스페이서가 폴리실리콘으로 이루어져 다터널접합장벽패턴을 보호한다. 주변 게이트 콘택홀이 소자분리막 상에 형성되므로 반도체 기판에 손상을 가하지 않는다. 이로써, 신뢰성을 갖는 STTM 셀을 구비하는 반도체 소자를 구현할 수 있다.

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

반도체 기판;

상기 반도체 기판에 형성되되 상기 반도체 기판을 가로지르며 서로 평행한 복수개의 제 1 소자분리막들;

상기 제 1 소자분리막들 사이의 반도체 기판에 개재되되 상기 제 1 소자분리막들을 따라 일렬로 늘어서며 서로 소정거리 이격된 복수개의 제 2 소자분리막들;

상기 제 2 소자분리막들 사이의 반도체 기판 상에 위치하며 상기 제 2 소자분리막과 일부 중첩되되, 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합(Multiple tunnel junction)장벽패턴 및 소오스패턴으로 이루어지는 복수개의 셀 게이트 패턴들;

측벽 게이트 유전막을 사이에 두고 상기 셀 게이트 패턴들의 측벽을 둘러싸며 상기 제 1 소자분리막을 가로지르는 서로 평행한 복수개의 제어라인들; 및

상기 셀 게이트 패턴들의 상부와 접하며 상기 제 1 소자분리막과 평행하게 달리는 서로 평행한 복수개의 데이터 라인들을 구비하는 반도체 소자.

【보정대상항목】 청구항 13

【보정방법】 정정

【보정내용】

셀 어레이 영역과 주변회로 영역을 구비하는 반도체 기판을 준비하는 단계;

상기 반도체 기판에 소자분리막을 형성하여 활성영역을 한정하는 단계;

상기 활성영역 상에 게이트 유전막을 형성하는 단계;

스토리지노드층, 다터널접합(Multiple tunnel junction)장벽층, 소오스층 및 마스크층을 차례로 적층하는 단계;

상기 마스크층을 패터닝하여 마스크패턴을 형성하는 단계;

상기 마스크패턴을 식각 마스크로 이용하여 상기 소오스층, 상기 다터널접합장벽층, 상기 스토리지노드층 및 상기 게이트 유전막을 차례로 패터닝하여 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합장벽

패턴, 및 소오스패턴으로 이루어지는 셀 게이트 패턴들과 주변 게이트 패턴을 각각 상기 셀 어레이 영역과 상기 주변회로 영역에 형성하는 단계;

상기 셀 게이트 패턴들과 상기 주변 게이트 패턴의 측벽들과 상기 활성영역을 덮는 측벽 게이트 유전막을 형성하는 단계;

상기 셀 게이트 패턴들의 측벽을 둘러싸며 일 방향으로 달리는 서로 평행한 복수개의 제어 라인들을 형성하는 단계;

상기 마스크 패턴을 제거하는 단계;

상기 주변회로 영역에서 상기 소자분리막 상에 위치하는 상기 주변 게이트 패턴의 상기 소오스패턴 및 상기 다터널접합장벽패턴을 패터닝하여 주변 게이트 콘택홀을 형성하는 단계;

상기 셀 어레이 영역에서 상기 셀 게이트 패턴들의 상기 소오스패턴들과 접하며 상기 제어라인과 직교하는 방향으로 달리는 서로 평행한 복수개의 데이터 라인들을 형성하는 단계; 및

상기 주변 게이트 콘택홀을 채우는 주변 게이트 콘택 플러그를 형성하는 단계를 구비하는 반도체 소자의 형성 방법.

【보정대상항목】 청구항 24

【보정방법】 정정

【보정내용】

제 13 항에 있어서,

상기 데이터 라인들을 형성하는 단계와 상기 주변 게이트 콘택 플러그를 형성하는 단계는 동시에 이루어지는 것을 특징으로 하는 반도체 소자의 형성 방법.

【보정대상항목】 청구항 25

【보정방법】 정정

【보정내용】

반도체 기판에 소자분리막을 형성하여 활성영역을 한정하는 단계;

상기 반도체 기판 상에 게이트 유전막, 스토리지노드층, 다터널접합(Multiple tunnel junction)장벽층, 소오스층 및 마스크층을 차례로 형성하는 단계;

상기 마스크층을 패터닝하여 마스크패턴을 형성하는 단계;

상기 마스크패턴을 식각 마스크로 이용하여 상기 소오스층, 상기 다터널접합장벽층, 상기 스토리지노드층 및 상기 게이트 유전막을 차례로 패터닝하여 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합장벽 패턴, 및 소오스패턴으로 이루어지는 셀 게이트 패턴들을 형성하는 단계;

상기 셀 게이트 패턴들의 측벽들과 상기 활성영역을 덮는 측벽 게이트 유전막을 형성하는 단계;

상기 셀 게이트 패턴들의 측벽을 둘러싸며 일 방향으로 달리는 서로 평행한 복수개의 제어 라인들을 형성하는 단계;

상기 마스크 패턴을 제거하는 단계; 및

상기 셀 게이트 패턴들의 상기 소오스패턴들과 접하며 상기 제어라인과 직교하는 방향으로 달리는 서로 평행한 복수개의 데이터 라인들을 형성하는 단계를 구비하는 반도체 소자의 형성 방법.

1020030031302

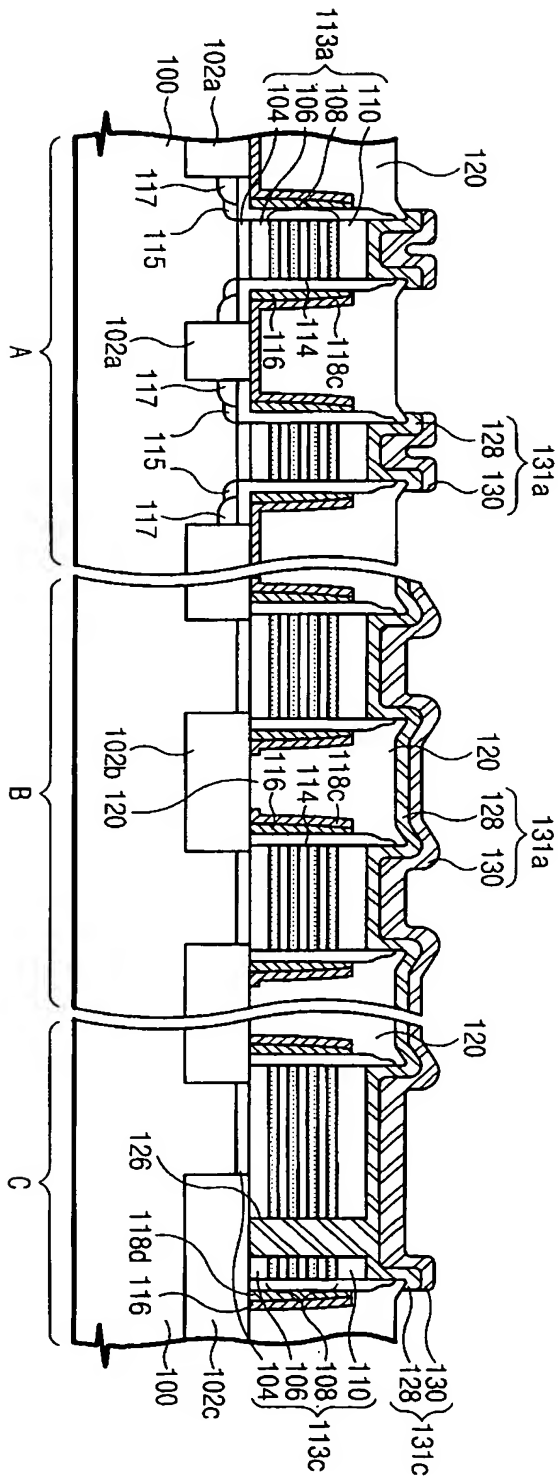
출력 일자: 2003/11/4

【보정대상항목】 도 4

【보정방법】 정정

【보정내용】

【도 4】



1020030031302

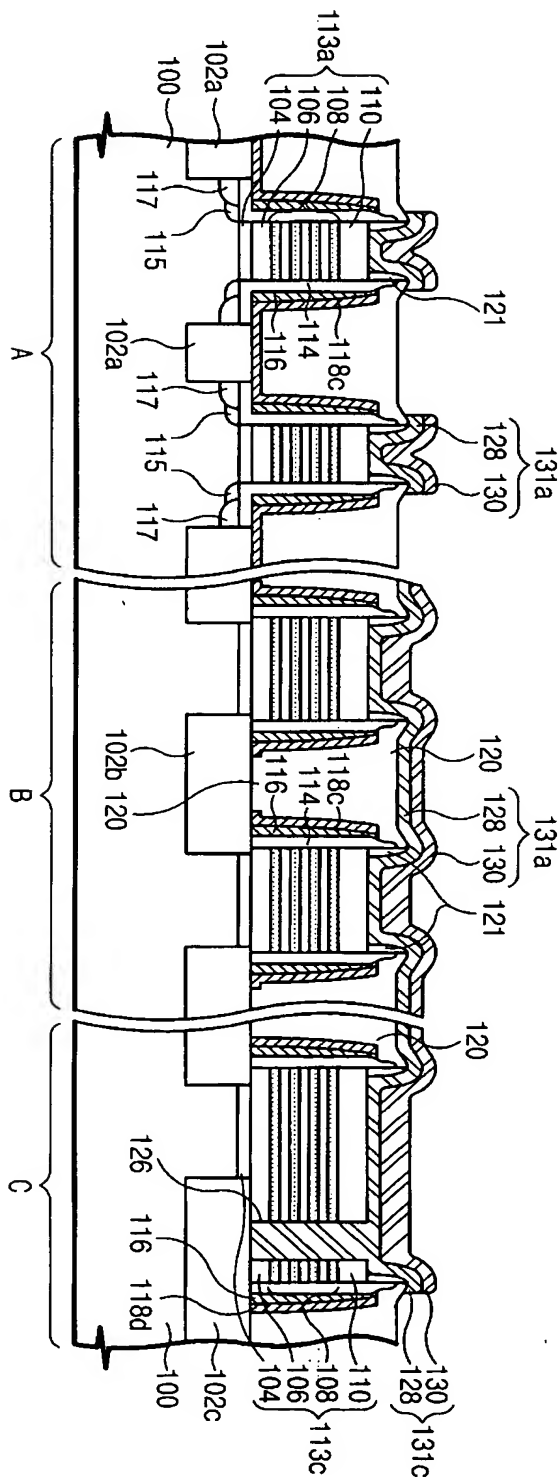
출력 일자: 2003/11/4

【보정대상항목】 도 6

【보정방법】 정정

【보정내용】

【도 6】



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.05.16
【발명의 명칭】 축소가능한 2개의 트랜지스터 기억 셀을 구비하는 반도체 소자 및 그 형성 방법
【발명의 영문명칭】 A semiconductor device with a scalable two transistor memory cell and a method of fabrication thereof
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 임창현
【대리인코드】 9-1998-000386-5
【포괄위임등록번호】 1999-007368-2
【대리인】
【성명】 권혁수
【대리인코드】 9-1999-000370-4
【포괄위임등록번호】 1999-056971-6
【발명자】
【성명의 국문표기】 안수진
【성명의 영문표기】 AHN, SU-JIN
【주민등록번호】 691205-2231316
【우편번호】 143-192
【주소】 서울특별시 광진구 자양2동 한양아파트 5동 107호
【국적】 KR
【발명자】
【성명의 국문표기】 고관협
【성명의 영문표기】 KOH, GWAN-HYEOB
【주민등록번호】 660120-1951011
【우편번호】 137-030

【주소】 서울특별시 서초구 잠원동 잠원한신아파트(101-351동)한신9차아파트3 13동 403호
【국적】 KR
【발명자】
【성명의 국문표기】 김형준
【성명의 영문표기】 KIM, HYOUNG-JOON
【주민등록번호】 700716-1046519
【우편번호】 156-092
【주소】 서울특별시 동작구 사당2동 우성아파트 208동 607호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 31 면 31,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 35 항 1,229,000 원
【합계】 1,289,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

축소가능한 2개의 트랜지스터(STTM) 셀을 구비하는 반도체 소자 및 그 형성방법을 제공한다. 이 반도체 소자는 반도체 기판; 상기 반도체 기판에 형성되되 상기 반도체 기판을 가로지르며 서로 평행한 복수개의 제 1 소자분리막들; 상기 제 1 소자분리막들 사이의 반도체 기판에 개재되되 상기 제 1 소자분리막들을 따라 일렬로 늘어서며 서로 소정거리 이격된 복수개의 제 2 소자분리막들; 상기 제 2 소자분리막들 사이의 반도체 기판 상에 위치하며 상기 제 2 소자분리막과 일부 중첩되되, 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합장벽패턴 및 소오스패턴으로 이루어지는 복수개의 셀 게이트 패턴들; 측벽 게이트 유전막을 사이에 두고 상기 셀 게이트 패턴들의 측벽을 둘러싸며 상기 제 1 소자분리막을 가로지르는 서로 평행한 복수개의 제어라인들; 및 상기 셀 게이트 패턴들의 상부와 접하며 상기 제 1 소자분리막과 평행하게 달리는 서로 평행한 복수개의 데이터 라인들을 구비한다.

【대표도】

도 2

【색인어】

STTM 셀

【명세서】**【발명의 명칭】**

축소가능한 2개의 트랜지스터 기억 셀을 구비하는 반도체 소자 및 그 형성 방법{A semiconductor device with a scalable two transistor memory cell and a method of fabrication thereof}

【도면의 간단한 설명】

도 1은 본 발명에 따른 축소가능한 2개의 트랜지스터 기억 셀을 구비하는 반도체 소자의 평면도(Lay-out)이다.

도 2는 본 발명의 바람직한 일 실시예에 따른 축소가능한 2개의 트랜지스터 기억셀을 구비하는 반도체 소자의 단면도를 나타낸다.

도 3a 내지 3k는 도 2의 반도체 소자를 형성하는 방법을 순차적으로 나타내는 공정 단면도들이다.

도 4는 본 발명의 바람직한 다른 실시예에 따른 축소가능한 2개의 트랜지스터 기억셀을 구비하는 반도체 소자의 단면도를 나타낸다.

도 5는 도 4의 반도체 소자를 형성하는 방법을 나타내는 공정단면도이다.

도 6은 본 발명의 바람직한 또 다른 실시예에 따른 축소가능한 2개의 트랜지스터 기억셀을 구비하는 반도체 소자의 단면도를 나타낸다.

도 7은 도 6의 반도체 소자를 형성하는 방법을 나타내는 공정단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 소자 및 그 형성 방법에 관한 것으로, 좀 더 상세하게는 축소가능한 2개의 트랜지스터 기억 셀을 구비하는 반도체 소자 및 그 형성 방법에 관한 것이다.
- <9> 디램 소자는 다른 기억 소자들에 비하여 고집적화가 가능하나 소자가 고집적화됨에 따라 누설전류와 같은 여러 문제들 때문에 저장된 데이터를 유지하기가 어렵다. 따라서 디램 소자는 커패시터에 저장된 데이터를 유지하기 위하여 일정한 리프레쉬 동작을 요구한다. 따라서 대기 상태에서도 전력 소모가 있다. 이와는 다르게 플래쉬 메모리 소자들 또는 이이피롬소자들은 기억셀에 저장된 데이터를 유지하기 위하여 기억 셀을 리프레쉬시킬 필요가 없다. 그러나 플래쉬 메모리 소자는 프로그램시키는데 상대적으로 긴 시간이 요구되며 소거와 프로그램을 반복할 수록 산화막으로 이루어진 터널링 장벽층의 기능이 상실된다.
- <10> 따라서, 디램 소자의 장점과 플래쉬 메모리 소자의 장점들을 갖는 새로운 기억셀들이 연구되고 있으며, 이중 하나가 나카자토(Nakazato)등에 의해 제안된 축소가능한 2개의 트랜지스터 기억 셀(Scalable two transistor memory cell; 이하 STTM)이다. 상기 STTM 셀은 고속동작, 낮은 전력 소모 및 고집적도의 특징을 갖는다. 상기 STTM에 대해 여러 연구가 진행되고 있으나 실제로 구현하는데에는 아직도 여러 어려움을 내포하고 있다.

【발명이 이루고자 하는 기술적 과제】

- <11> 따라서, 본 발명의 기술적 과제는 구현이 용이한 STTM 셀을 구비하는 반도체 소자 및 그 형성 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <12> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 STTM 셀을 구비하는 반도체 소자 및 그 형성 방법은 다음과 같다.
- <13> 먼저, 상기 반도체 소자는 반도체 기판; 상기 반도체 기판에 형성되되 상기 반도체 기판을 가로지르며 서로 평행한 복수개의 제 1 소자분리막들; 상기 제 1 소자분리막들 사이의 반도체 기판에 개재되되 상기 제 1 소자분리막들을 따라 일렬로 늘어서며 서로 소정거리 이격된 복수개의 제 2 소자분리막들; 상기 제 2 소자분리막들 사이의 반도체 기판 상에 위치하며 상기 제 2 소자분리막과 일부 중첩되되, 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합(Multiple tunnel junction)장벽패턴 및 소오스패턴으로 이루어지는 복수개의 셀 게이트 패턴들; 측벽 게이트 유전막을 사이에 두고 상기 셀 게이트 패턴들의 측벽을 둘러싸며 상기 제 1 소자분리막을 가로지르는 서로 평행한 복수개의 제어라인들; 및 상기 셀 게이트 패턴들의 상부와 접하며 상기 제 1 소자분리막과 평행하게 달리는 서로 평행한 복수개의 데이터 라인들을 구비한다.
- <14> 상기 반도체 소자는 상기 측벽 게이트 유전막과 상기 제어라인 사이에 개재된 스페이서를 더 구비할 수 있으며, 이때 상기 스페이서는 폴리실리콘으로 이루어진다. 상기 반도체 소자는 상기 스페이서 하부의 상기 반도체 기판에 형성된 저농도 불순물 영역을 더 구비할 수 있다. 상기 반도체 소자는 상기 제어라인 하부의 상기 반도체 기판에 형성된 고농도 불순물 영역을 더 구비할 수 있다.
- <15> 상기 반도체 소자에 있어서, 상기 제어라인의 상단부는 상기 소오스패턴의 상단부보다 낮을 수 있다. 또는 상기 제어라인의 상단부는 상기 소오스층의 상단부보다 높을 수 있으며 이때에는 상기 제어라인과 상기 데이터 라인 사이에 절연스페이서가 개재된다. 여기서, 상기 절

연스페이서는 실리콘 산화막(SiO_2), 실리콘 질화막(Si_3N_4), 실리콘산화질화막(SiON), 및 알루미늄산화막(Al_2O_3)을 구비하는 그룹에서 선택되는 하나의 물질로 이루어진다.

<16> 상기 반도체 소자는 상기 반도체 기판은 주변회로 영역을 더 구비하며, 상기 주변회로 영역에서 활성영역을 정의하는 제 3 소자분리막; 상기 활성영역을 가로질러 상기 제 3 소자분리막과 중첩되는 주변 게이트 패턴; 및 상기 제 3 소자분리막 상에서 상기 주변 게이트 패턴과 전기적으로 접속하는 주변 게이트 콘택 플러그를 더 구비할 수 있다. 이때, 상기 주변 게이트 패턴은 상기 게이트 패턴과 동일하게, 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합장벽패턴 및 소오스패턴으로 이루어질 수 있으며 상기 주변 게이트 콘택 플러그는 상기 소오스패턴 및 상기 다터널접합장벽패턴을 관통하여 상기 스토리지 노드패턴과 접할 수 있다. 상기 반도체 소자는 상기 주변 게이트 패턴의 측벽을 덮는 측벽 게이트 유전막 및 스페이서를 더 구비할 수 있다.

<17> 상기 반도체 소자를 형성하는 방법은 다음과 같다. 먼저, 반도체 기판에 소자분리막을 형성하여 활성영역을 한정한다. 상기 활성영역 상에 게이트 유전막, 스토리지노드층, 다터널접합(Multiple tunnel junction)장벽층, 소오스층 및 마스크층을 차례로 형성한다. 상기 마스크층을 패터닝하여 마스크패턴을 형성한다. 상기 마스크패턴을 식각 마스크로 이용하여 상기 소오스층, 상기 다터널접합장벽층, 상기 스토리지노드층 및 상기 게이트 유전막을 차례로 패터닝하여 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합장벽패턴, 및 소오스패턴으로 이루어지는 셀 게이트 패턴들을 형성한다. 상기 셀 게이트 패턴들의 측벽들과 상기 활성영역을 덮는 측벽 게이트 유전막을 형성한다. 상기 셀 게이트 패턴들의 측벽을 둘러싸며 일 방향으로 달리는 서로 평행한 복수개의 제어 라인들을 형성한다.

상기 마스크 패턴을 제거한다. 그리고, 상기 셀 게이트 패턴들의 상기 소오스패턴들과 접하며 상기 제어라인과 직교하는 방향으로 달리는 서로 평행한 복수개의 데이터 라인들을 형성한다.

<18> 좀 더 상세하게, 상기 반도체 소자를 형성하는 방법은 다음과 같다. 먼저, 셀 어레이 영역과 주변회로 영역을 구비하는 반도체 기판을 준비한다. 상기 반도체 기판에 소자분리막을 형성하여 활성영역을 한정한다. 상기 활성영역 상에 게이트 유전막을 형성한다. 스토리지노드층, 다터널접합(Multiple tunnel junction)장벽층, 소오스층 및 마스크층을 차례로 적층한다. 상기 마스크층을 패터닝하여 마스크패턴을 형성한다. 상기 마스크패턴을 식각 마스크로 이용하여 상기 소오스층, 상기 다터널접합장벽층, 상기 스토리지노드층 및 상기 게이트 유전막을 차례로 패터닝하여 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합장벽패턴, 및 소오스패턴으로 이루어지는 셀 게이트 패턴들과 주변 게이트 패턴을 각각 상기 셀 어레이 영역과 상기 주변회로 영역에 형성한다. 상기 셀 게이트 패턴들과 상기 주변 게이트 패턴의 측벽들과 상기 활성영역을 덮는 측벽 게이트 유전막을 형성한다. 상기 셀 게이트 패턴들의 측벽을 둘러싸며 일 방향으로 달리는 서로 평행한 복수개의 제어 라인들을 형성한다. 상기 마스크 패턴을 제거한다. 상기 주변회로 영역에서 상기 소자분리막 상에 위치하는 상기 주변 게이트 패턴의 상기 소오스패턴 및 상기 다터널접합장벽패턴을 패터닝하여 주변 게이트 콘택홀을 형성한다. 상기 셀 어레이 영역에서 상기 셀 게이트 패턴들의 상기 소오스패턴들과 접하며 상기 제어라인과 직교하는 방향으로 달리는 서로 평행한 복수개의 데이터 라인들을 형성한다. 그리고, 상기 주변 게이트 콘택홀을 채우는 주변 게이트 콘택 플러그를 형성한다.

<19> 상기 방법에 있어서, 상기 제어라인을 형성하기 전에, 상기 셀 게이트 패턴들과 상기 주변 게이트 패턴을 이온주입마스크로 사용하여 상기 반도체 기판에 저농도 불순물 영역을 형성

하고, 상기 셀 게이트 패턴들 및 상기 주변 게이트 패턴의 측벽을 덮는 스페이서를 형성하고, 그리고 상기 스페이서와 상기 셀 게이트 패턴들과 상기 주변 게이트 패턴을 이온주입마스크로 사용하여 상기 반도체 기판에 고농도 불순물 영역을 형성할 수 있다. 여기서 상기 스페이서는 폴리실리콘으로 형성될 수 있다. 상기 데이터 라인들과 상기 주변 게이트 콘택 플러그는 동시에 형성될 수 있다.

<20> 본 발명의 일 양태에 따르면, 상기 제어라인의 상단부는 상기 소오스패턴의 상단부보다 낮게 형성될 수 있으며, 이때 상기 제어라인들은 상기 측벽 게이트 유전막이 형성된 상기 반도체 기판의 전면 상에 도전막을 콘포말하게 적층하고, 포토레지스트 패턴을 이용하여 상기 도전막을 패터닝하여 상기 셀 어레이 영역에서 상기 마스크패턴과 상기 셀 게이트 패턴을 콘포말하게 덮는 예비 제어라인을 형성하고, 제 1 층간절연막을 적층하고, 상기 제 1 층간절연막을 평탄화하여 상기 예비 제어라인의 상부를 일부 제거하여 상기 마스크 패턴을 노출시키고, 그리고 상기 마스크패턴과 상기 소오스패턴의 상단부를 덮는 상기 예비 제어라인을 일부 제거함으로써 상기 셀 어레이 영역에 형성될 수 있다. 이때, 상기 마스크패턴과 상기 소오스패턴의 상단부를 덮는 상기 예비 제어라인을 일부 제거할 때, 상기 마스크패턴과 상기 소오스패턴의 상단부를 덮는 상기 스페이서도 일부 제거될 수 있다. 상기 제 1 층간절연막에 대해 이방성 식각 공정을 진행하여 상기 제 1 층간절연막의 높이를 상기 마스크패턴의 저면보다 낮게 형성하고, 제 2 층간절연막을 적층하고 평탄화하여 상기 마스크 패턴을 노출시킬 수 있다.

<21> 본 발명의 다른 양태에 있어서, 상기 제어라인의 상단부는 상기 소오스패턴의 상단부보다 낮게 형성될 수 있으며, 여기서 상기 제어라인들은 상기 측벽 게이트 유전막이 형성된 상기 반도체 기판의 전면 상에 도전막을 콘포말하게 적층하고, 포토레지스트 패턴을 이용하여 상기 도전막을 패터닝하여 상기 셀 어레이 영역에서 상기 마스크패턴과 상기 셀 게이트 패턴을 콘포

말하게 덮는 예비 제어라인을 형성하고, 제 1 층간절연막을 적층하고, 상기 제 1 층간절연막을 평탄화하여 상기 예비 제어라인의 상부를 일부 제거하여 상기 마스크 패턴을 노출시키고, 그리고 상기 마스크패턴과 상기 소오스패턴의 상단부를 덮는 상기 예비 제어라인을 일부 산화함으로써 상기 셀 어레이 영역에 형성될 수 있다.

<22> 본 발명의 또 다른 양태에 있어서, 상기 제어라인의 상단부는 상기 소오스패턴의 상단부보다 높게 형성될 수 있으며, 여기서 상기 제어라인들은 상기 측벽 게이트 유전막이 형성된 상기 반도체 기판의 전면 상에 도전막을 콘포말하게 적층하고, 포토레지스트 패턴을 이용하여 상기 도전막을 패터닝하여 상기 셀 어레이 영역에서 상기 마스크패턴과 상기 셀 게이트 패턴을 콘포말하게 덮는 예비 제어라인을 형성하고, 제 1 층간절연막을 적층하고, 상기 제 1 층간절연막을 평탄화하여 상기 예비 제어라인의 상부를 일부 제거하여 상기 마스크 패턴을 노출시키고, 그리고 상기 마스크패턴의 상단부를 덮는 상기 예비 제어라인을 일부 산화함으로써 상기 셀 어레이 영역에 형성될 수 있다. 이때 상기 마스크 패턴을 제거한 후에, 상기 제 1 층간절연막의 측벽과 상기 제어라인의 돌출된 상단부의 측벽을 덮는 절연스페이서를 형성할 수 있다. 여기서 상기 절연스페이서는 실리콘 산화막(SiO_2), 실리콘 질화막(Si_3N_4), 실리콘산화질화막(SiON), 및 알루미늄산화막(Al_2O_3)을 구비하는 그룹에서 선택되는 하나의 물질로 형성될 수 있다. 상기 예비 제어라인이 산화될때 상기 스페이서도 동시에 산화된다.

<23> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의

두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다. 도 2, 3a~3k, 및 4~7에서 A는 도 1의 반도체 소자를 I-I'라인을 따라 자른 단면도, B는 도 1의 반도체 소자를 II-II'라인을 따라 자른 단면도, 그리고 C는 도 1의 반도체 소자를 III-III'라인을 따라 자른 단면도를 나타낸다.

<24> 도 1은 본 발명에 따른 축소가능한 2개의 트랜지스터 기억 셀을 구비하는 반도체 소자의 평면도(Lay-out)이다.

<25> <실시예 1>

<26> 도 2는 본 발명의 바람직한 일 실시예에 따른 축소가능한 2개의 트랜지스터 기억셀을 구비하는 반도체 소자의 단면도를 나타낸다.

<27> 도 1 및 도 2를 참조하면, 반도체 기판(100)에 제 1, 제 2 및 제 3 소자분리막들(102a, 102b, 102c)이 형성되어 활성영역(AR)을 한정한다. 복수개의 상기 제 1 소자분리막들(102a)은 셀 어레이 영역을 가로지르며 서로 평행하다. 복수개의 상기 제 2 소자분리막들(102b)은 상기 제 1 소자분리막들(102a) 사이에 위치하며 상기 제 1 소자분리막들(102a)을 따라 일렬로 배치되며 상기 제 1 소자분리막들(102a)과 소정거리 이격된다. 상기 제 3 소자분리막(102c)은 주변 회로 영역에 위치하며 주변 게이트 패턴(113c)을 위한 활성영역(AR)을 한정한다.

<28> 셀 게이트 패턴(113a)과 주변 게이트 패턴(113c)은 각각 상기 셀 어레이 영역과 상기 주변 회로 영역의 상기 활성영역(AR) 상에서, 상기 제 2 소자분리막(102b) 및 상기 제 3 소자분리막(102c)과 중첩되도록 위치한다. 상기 셀

게이트 패턴(113a)과 상기 주변 게이트 패턴(113c)은 상기 반도체 기판(100)으로부터 차례로 적층된 게이트 유전막 패턴(104), 스토리지노드패턴(106), 다터널접합(Multiple tunnel junction)장벽패턴(108) 및 소오스패턴(122)으로 이루어진다. 상기 다터널접합장벽패턴(108)은 폴리실리콘막과 실리콘질화막이 교대로 적층되어 이루어진다.

<29> 상기 셀 게이트 패턴(113a)과 상기 주변 게이트 패턴(113c)의 측벽과 상기 활성영역(AR)상에 측벽 게이트 유전막(114)이 위치하여 제어라인(118c)으로 부터 절연시킨다. 상기 측벽 게이트 유전막(114)의 측벽은 스페이서(116)에 의해 덮인다. 상기 셀 어레이 영역에서 상기 스페이서(116)와 상기 활성영역은 상기 제 1 소자분리막(102a)을 가로지르는 제어라인(118c)에 의해 덮인다. 상기 주변회로 영역에서 상기 스페이서(116)는 주변스페이서(118d)에 의해 덮인다. 상기 주변스페이서(118d)는 상기 제어라인(118c)과 동일한 물질로 이루어진다. 상기 셀 게이트 패턴(113a)과 상기 주변 게이트 패턴(113c)은 하부층간절연막으로 덮인다. 상기 하부층간절연막은 차례로 적층된 제 1 층간절연막(120)과 제 2 층간절연막(122)으로 이루어진다. 상기 제 1 층간절연막(120)의 높이는 상기 제어라인(118c)의 상단부의 높이와 유사하다. 상기 주변회로 영역에서 상기 제 3 소자분리막(102) 상의 상기 소오스패턴(110) 및 상기 다터널접합장벽패턴(108)을 관통하는 주변 게이트 콘택홀(126)이 있다.

<30> 상기 셀 게이트 패턴(113a)의 상기 소오스패턴(110)과 접하며 상기 제 1 소자분리막(102a)과 평행하게 달리는 데이터 라인(131a)이 상기 셀 어레이 영역에 위치한다. 상기 데이터 라인(131a)은 도전막(128)과 금속실리사이드막(130)의 이중막으로 이루어질 수 있다. 상기 데이터 라인(131a)과 동일한 물질로 이루어지며 상기 주변 게이트 콘택홀(126)을 채우는 동시에 상기 주변 게이트 패턴(113c)을 덮는 주변 게이트 콘택플러그(131c)가 상기 주변회로 영역에 위치한다.

- <31> 상기 반도체 소자에 따르면, 상기 제어라인(118c)이 상기 셀 게이트 패턴(113a)의 측면을 모두 둘러싸고 있으므로 채널이 넓어져 프로그램 또는 소거시에 소자의 속도가 종래보다 빠르다. 또한 상기 제어라인(118c)이 상기 데이타라인(131a)을 감싸지 않으므로 그 사이에 발생하는 커플링 효과를 줄일 수 있다. 또한 주변회로 영역에서 주변 게이트 콘택홀이 소자분리막 상에 형성되는 구조를 갖으므로 반도체 기판의 손상을 줄일 수 있어 보다 신뢰성 있는 STTM 셀을 구비하는 반도체 소자를 구현할 수 있다.
- <32> 도 3a 내지 3k는 도 2의 반도체 소자를 형성하는 방법을 순차적으로 나타내는 공정 단면도들이다.
- <33> 도 3a를 참조하면, 셀 어레이 영역과 주변회로 영역을 구비하는 반도체 기판(100)에 소자분리막들을 형성하여 활성영역을 한정한다. 이때 상기 소자분리막들은 일반적인 얇은 트렌치 격리(STI) 형성 방법을 이용하여 형성될 수 있다. 상기 소자분리막들은 2500Å의 두께로 형성될 수 있다. 상기 소자분리막은 도 1에서처럼 제 1, 제 2, 및 제 3 소자분리막들(102a, 102b, 102c)로 이루어진다. 상기 소자분리막들(102a, 102b, 102c)에 의해 한정된 활성영역(AR) 상에 게이트 유전막(103)을 형성한다. 상기 게이트 유전막(103)은 열산화막으로 형성될 수 있다. 상기 반도체 기판(100)의 전면 상에 스토리지노드층(105), 다터널접합장벽층(107) 및 소오스층(109)을 차례로 적층한다. 상기 스토리지노드층(105)과 상기 소오스층(109)은 바람직하게는 불순물이 도핑된 폴리실리콘으로 형성될 수 있다. 상기 다터널접합장벽층(107)은 낮은 밴드갭을 갖는 반도체층 및 큰 밴드갭을 갖는 절연막을 교대로 반복적으로 적층시키어 형성한다. 예를 들면 상기 낮은 밴드갭을 갖는 반도체층은 진성 반도체층, 불순물이 도핑되지 않은 반도체층 또는 불순물이 도핑된 반도체층으로 형성될 수 있다. 여기서 상기 반도체층은 실리콘막, 게르마늄막, 실리콘 게르마늄막 또는 실리콘 게르마늄 카바이드막이다. 상기 큰 밴드갭을 갖는 절

연막은 실리콘 질화막, 실리콘 옥시나이트라이드막, 금속 산화막 또는 금속 질화막으로 형성될 수 있다. 상기 소오스층(109) 상에 마스크층(111)을 형성한다. 상기 마스크층(111)은 바람직하게는 실리콘 질화막으로 형성될 수 있다. 상기 마스크층(111) 상에 반사방지막(미도시)을 더 형성할 수 있다.

<34> 도 3b를 참조하면, 상기 마스크층(111)을 포토레지스트 패턴(미도시)을 이용하여 식각하여 마스크 패턴(112)을 형성한다. 상기 마스크 패턴(112)을 식각마스크로 이용하여 상기 소오스층(109), 상기 다터널접합장벽층(107), 상기 스토리지노드층(105) 및 상기 열산화막(103)을 차례대로 패터닝하여 상기 셀 어레이 영역에 셀 게이트 패턴(113a)을 형성하는 동시에 상기 주변회로 영역에 주변 게이트 패턴(113c)을 형성한다. 상기 셀 게이트 패턴(113a)과 상기 주변 게이트 패턴(113c)은 상기 반도체 기판(100)으로부터 차례로 적층된 게이트 유전막 패턴(104), 스토리지노드패턴(104), 다터널접합장벽패턴(108) 및 소오스패턴(110)으로 이루어진다.

<35> 도 3c를 참조하면, 상기 반도체 기판(100)의 활성영역 및 상기 셀 게이트 패턴(113a) 및 상기 주변 게이트 패턴(113c)의 측벽을 덮는 측벽 게이트 유전막(114)을 형성한다. 상기 측벽 게이트 유전막(114)은 상기 반도체 기판(100)에 대해 산소분위기에서 열처리 공정을 실시함으로써 형성되는 열산화막으로 이루어질 수 있다. 상기 측벽 게이트 유전막(114)은 상기 마스크 패턴(112)의 측벽을 덮도록 형성될 수 있다. 또는 상기 측벽 게이트 유전막(114)은 실리콘 산화막, 실리콘질화막, 실리콘옥시나이트라이드막, 금속 산화막 및 금속 질화막으로 이루어지는 그룹에서 선택되는 적어도 하나의 단일막 또는 다층막으로 CVD 방법에 의해 형성될 수 있다.

<36> 도 3d를 참조하면, 상기 셀 게이트 패턴(113a) 및 상기 주변 게이트 패턴(113c)을 이온주입마스크로 사용하여 상기 반도체 기판(100) 내에 저농도 불순물 영역(115)을 형성한다. 상기 반도체 기판(100) 상에 폴리실리콘막을 콘포말하게 적층하고 이방성 식각을 진행하여 상기

셀 게이트 패턴(113a) 및 상기 주변 게이트 패턴(113c)과 마스크 패턴(112)의 측벽을 덮는 스페이서(116)를 형성한다. 상기 셀 게이트 패턴(113a) 및 상기 주변 게이트 패턴(113c) 및 상기 스페이서(116)을 이온주입마스크로 사용하여 상기 반도체 기판(100) 내에 고농도 불순물 영역(117)을 형성한다. 여기서 이온주입 공정에서 주입되는 불순물은 반도체 소자의 요구되는 사항에 따라 달라지며 인(Phosphorus), 비소(Arsenic) 및 붕소(Boron)을 포함하는 그룹에서 선택되는 하나의 물질일 수 있다.

<37> 도 3e를 참조하면, 상기 반도체 기판(100) 상에 불순물이 도핑되거나 도핑되지 않은 폴리실리콘막을 콘포말하게 적층한다. 상기 폴리실리콘막을 패터닝하여 상기 셀 어레이 영역에서 상기 측벽 게이트 유전막(114)의 측벽을 덮으며 상기 제 1 소자분리막(102a)을 가로지르는 복수개의 서로 평행한 예비 제어 라인(118a)들을 형성하는 동시에 상기 주변회로 영역에 상기 스페이서(116)의 측벽을 덮는 예비 주변 스페이서(118b)를 형성한다.

<38> 도 3f를 참조하면, 상기 예비 제어 라인(118a)과 상기 예비 주변 스페이서(118b)가 형성된 상기 반도체 기판(100)의 전면 상에 제 1 층간절연막(120)을 적층한다. 상기 제 1 층간절연막(120)에 대해 CMP공정을 실시하여 상기 예비 제어라인(118a)의 상부를 일부 제거하여 상기 마스크 패턴(112)을 노출시킨다. 이때 상기 예비 제어라인(118a), 상기 스페이서(116) 및 상기 예비 주변 스페이서(118b)의 상단부도 노출된다.

<39> 도 3g를 참조하면, 상기 예비 제어라인(118a), 상기 예비 주변 스페이서(118b) 및 상기 스페이서(116)를 일부 습식 식각하여 도 3g와 같이 상기 마스크 패턴(112)의 측벽 및 상기 소오스 패턴(110)의 측벽을 덮는 상기 측벽 게이트 유전막(114)을 일부 노출시키는 동시에 상기 셀 게이트 패턴(113a)의 측벽을 일부 덮는 제어라인(118c)을 형성한다. 이때 상기 습식 식각은 불산을 포함하는 식각액을 이용하여 진행될 수 있으며 상기 예비 제어라인(118a), 상기 예비

주변 스페이서(118b) 및 상기 스페이서(116)가 모두 폴리실리콘으로 이루어지기에 동시에 습식 식각될 수 있다. 상기 고농도 불순물 영역(117)은 소오스/드레인 영역들로 비트라인과 센싱 라인으로 이용된다.

<40> 도 3h를 참조하면, 상기 제 1 층간절연막(120)에 대해 에치백(Etch back) 공정을 실시하여 상기 제 1 층간절연막(120)의 높이를 상기 제어라인(118c)의 높이와 비슷하게 형성한다. 상기 에치백 공정은 불소를 포함하는 가스를 이용하여 진행될 수 있다. 도 3a에서 형성될 수 있는 반사방지막은 상기 에치백 공정에서 제거될 수 있다.

<41> 도 3i를 참조하면, 상기 반도체 기판(100)의 전면 상에 제 2 층간절연막(122)을 적층하고 CMP 공정을 실시하여 상기 마스크 패턴(112)을 노출시킨다. 상기 제 1 및 제 2 층간절연막들(120, 122)은 하부층간절연막을 구성한다. 상기 제 2 층간절연막(122)은 상기 제 1 층간절연막(120)과 동일한 물질로 형성될 수 있다.

<42> 도 3j를 참조하면, 상기 마스크 패턴(112)을 제거하고 상기 소오스패턴(110)을 노출시킨다. 상기 반도체 기판(100) 상에 상기 주변회로 영역에서 상기 제 3 소자분리막(102c) 상에 위치하는 상기 소오스 패턴(100)의 일부를 노출시키는 포토레지스트 패턴(124)을 형성한다. 상기 포토레지스트 패턴(124)을 식각마스크로 이용하여 상기 주변회로 영역에서 적어도 상기 소오스 패턴(100) 및 상기 다터널접합장벽패턴(108)을 패터닝하여 주변 게이트 콘택홀(126)을 형성한다. 상기 패터닝 과정에 있어서, 상기 스토리지노드패턴(106)이 과도식각되어 상기 제 3 소자분리막(102c)이 노출될 수 있다.

<43> 도 3k를 참조하면, 상기 포토레지스트 패턴(124)을 제거한다. 상기 주변 게이트 콘택홀(126)이 형성된 상기 반도체 기판(100)의 전면 상에 도전막(128) 및 금

속 실리사이드막(130)을 차례대로 적층하여 상기 주변 게이트 콘택홀(126)을 채운다. 상기 금속실리사이드막(130) 및 상기 도전막(128)을 차례대로 패터닝하여 도 3과 같이 상기 셀 어레이 영역에서 데이터 라인(131a)을 형성하는 동시에 상기 주변회로 영역에서 주변 게이트 콘택플러그(131c)를 형성한다.

<44> 후속으로 상기 데이터 라인(131a) 및 상기 주변 게이트 콘택플러그(131c)를 덮는 상부 층간절연막을 적층한다. 상기 주변 회로 영역에서 상기 상부 층간절연막을 관통하여 상기 주변 게이트 콘택플러그(131c)와 전기적으로 접속하는 주변 비아플러그를 형성하고, 상기 셀 어레이 영역에서 상기 상부 층간절연막 및 상기 하부층간절연막을 관통하여 상기 제어라인과 전기적으로 접속하는 셀 비아플러그를 형성한다.

<45> 상기 방법에 따르면, 소자분리막들(102a, 102b, 102c)을 일반적인 얇은 트렌치 격리(STI) 형성 방법을 이용하므로 새로운 공정이 요구되지 않는다. 셀 게이트 패턴(113a)을 형성한 후에 데이터 라인(131a)을 형성하기에 패터닝과정에서 단차가 크지 않아 사진식각 공정에서 공정마진을 확보할 수 있고 식각이 정확하게 잘 이루어진다. 소자분리막들(102a, 102b) 상에 셀 게이트 패턴(113a)이 중첩되도록 형성되므로 반도체 기판(100)에 식각 손상을 가하지 않는다. 주변 게이트 콘택홀(126)이 제 3 소자분리막(102c) 상에 형성되므로 반도체 기판(100)에 식각손상을 가하지 않는다. 이로써, 신뢰성을 갖는 STTМ 셀을 구비하는 반도체 소자를 구현할 수 있다.

<46> <실시예 2>

<47> 도 4는 본 발명의 바람직한 다른 실시예에 따른 축소가능한 2개의 트랜지스터 기억셀을 구비하는 반도체 소자의 단면도를 나타낸다.

- <48> 도 4의 반도체 소자는 도 2와 비교할때, 하부충간절연막은 실시예 1과 다르게 제 1 층간 절연막(120)의 단일막으로 구성되는 것을 특징으로 한다. 또한 상기 셀 게이트 패턴(113c)의 상단부 상에서 상기 하부충간절연막은 부분적으로 돌출되어 형성된다. 그외의 구성은 도 2와 동일하다.
- <49> 도 5는 도 2의 반도체 소자를 형성하는 방법을 나타내는 공정단면도이다.
- <50> 도 5를 참조하면, 도 3f의 상태에서 상기 예비 제어라인(118a)과 상기 스페이서(116) 및 상기 예비 주변 스페이서(118b)의 상부를 산화한다. 이때 산화되는 정도를 조절하여 산화되지 않고 남은 부분인 제어라인(118c)과 스페이서(116) 및 주변 스페이서(118d)가 상기 소오스 패턴(110)의 상단부의 높이보다 낮게 형성되도록 한다. 상기 예비 제어라인(118a)과 상기 스페이서(116) 및 상기 예비 주변 스페이서(118b)의 상부의 산화로 인하여 상기 제 1 층간절연막(120)의 상부가 부분적으로 돌출되어 형성될 수 있다. 후속으로 상기 마스크 패턴(112)을 제거하고 실시예 1의 도 3j 및 도 3k의 과정을 거쳐 도 4의 반도체 소자를 완성한다. 본 실시예에서 공정 조건들, 막의 종류 및 두께등은 실시예 1과 동일하다.
- <51> 본 실시예에 따르면 실시예 1에 비하여 좀더 간단한 과정을 통해 본 발명의 STTM 셀을 구비하는 반도체 소자를 구현할 수 있다.
- <52> <실시예 3>
- <53> 도 6은 본 발명의 바람직한 또 다른 실시예에 따른 축소가능한 2개의 트랜지스터 기억셀을 구비하는 반도체 소자의 단면도를 나타낸다.
- <54> 도 6을 참조하면, 도 4와 같이 하부충간절연막이 제 1 층간절연막(120)의 단일막으로 구성되나, 상기 스페이서(116)과 상기 제어라인(118c), 및 상기 주변 스페이서(118d)의 상단부가

상기 셀 게이트 패턴(113a)과 상기 주변 게이트 패턴(113c)의 높이보다 높게 형성되며 상기 제 1 층간절연막(120)의 측벽 및 상기 스페이서(116)의 상단부의 측벽을 덮는 절연 스페이서(121)가 존재하여 상기 데이터 라인(131a)과 상기 제어라인(118a)을 절연시킨다. 그외의 구성은 도 4와 동일하다.

<55> 도 7은 도 6의 반도체 소자를 형성하는 방법을 나타내는 공정단면도이다.

<56> 도 7을 참조하면, 도 3f의 상태에서 상기 예비 제어라인(118a)과 상기 스페이서(116) 및 상기 예비 주변 스페이서(118b)의 상부를 산화한다. 이때 산화되는 정도를 조절하여 산화되지 않고 남은 부분인 제어라인(118c)과 스페이서(116) 및 주변 스페이서(118d)가 상기 소오스 패턴(110)의 상단부의 높이보다 높게 형성되도록 한다. 상기 마스크 패턴(112)을 제거하고 상기 반도체 기판(100) 상에 절연막을 콘포말하게 적층하고 이방성으로 식각하여 상기 하부층간절연막(120) 및 상기 스페이서(116)의 상단부의 측벽에 절연 스페이서(121)를 형성한다. 상기 절연 스페이서(121)는 실리콘 산화막(SiO_2), 실리콘 질화막(Si_3N_4), 실리콘산화질화막(SiON), 및 알루미늄산화막(Al_2O_3)을 구비하는 그룹에서 선택되는 하나의 물질로 형성한다. 본 실시예에서 공정 조건들, 막의 종류 및 두께 등은 실시예 1과 동일하다.

【발명의 효과】

<57> 따라서, 본 발명에 의한 STT 셀을 구비하는 반도체 소자 및 그 형성 방법에 따르면, 제어라인이 셀 게이트 패턴의 모든 측면을 둘러싸므로 채널 영역이 늘어나서 반도체 소자의 속도가 빨라진다. 소자분리막을 일반적인 얇은 트렌치 접합 형성 방법을 이용하므로 새로운 공정이 요구되지 않아 구현이 용이하다. 셀 게이트 패턴을 형성한 후에 데이터 라인을 형성하기에 패터닝과정에서 단차가 크지 않아 사진식각공정에서 공정마진을 확보할 수 있으며 식각이 정확하게 잘 이루어진다. 소자분리막 상에 셀 게이트 패턴을 형성하므로 반도체 기판에 식각 손상을

가하지 않는다. 또한 스페이서가 폴리실리콘으로 이루어져 다터닐접합장벽패턴을 보호한다. 주변 게이트 콘택홀이 소자분리막 상에 형성되므로 반도체 기판에 손상을 가하지 않는다. 이로써, 신뢰성을 갖는 STTM 셀을 구비하는 반도체 소자를 구현할 수 있다.

【특허청구범위】

【청구항 1】

반도체 기판;

상기 반도체 기판에 형성되되 상기 반도체 기판을 가로지르며 서로 평행한 복수개의 제 1 소자분리막들;

상기 제 1 소자분리막들 사이의 반도체 기판에 개재되되 상기 제 1 소자분리막들을 따라 일렬로 늘어서며 서로 소정거리 이격된 복수개의 제 2 소자분리막들;

상기 제 2 소자분리막들 사이의 반도체 기판 상에 위치하며 상기 제 2 소자분리막과 일부 중첩되되, 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합(Multiple tunnel junction)장벽패턴 및 소오스패턴으로 이루어지는 복수개의 셀 게이트 패턴들;

게이트 유전막을 사이에 두고 상기 셀 게이트 패턴들의 측벽을 둘러싸며 상기 제 1 소자분리막을 가로지르는 서로 평행한 복수개의 제어라인들; 및

상기 셀 게이트 패턴들의 상부와 접하며 상기 제 1 소자분리막과 평행하게 달리는 서로 평행한 복수개의 데이터 라인들을 구비하는 반도체 소자.

【청구항 2】

제 1 항에 있어서,

상기 측벽 게이트 유전막과 상기 제어라인 사이에 개재된 스페이서를 더 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 3】

제 2 항에 있어서,

상기 스페이서는 폴리실리콘으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 4】

제 2 항에 있어서,

상기 스페이서 하부의 상기 반도체 기판에 형성된 저농도 불순물 영역을 더 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 5】

제 4 항에 있어서,

상기 제어라인 하부의 상기 반도체 기판에 형성된 고농도 불순물 영역을 더 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 6】

제 1 항에 있어서,

상기 제어라인의 상단부는 상기 소오스페턴의 상단부보다 낮은 것을 특징으로 하는 반도체 소자.

【청구항 7】

제 1 항에 있어서,

상기 제어라인의 상단부는 상기 소오스페턴의 상단부보다 높되, 상기 제어라인과 상기 데이터 라인 사이에 절연스페이서가 개재되는 것을 특징으로 하는 반도체 소자.

【청구항 8】

제 7 항에 있어서,

상기 절연스페이서는 실리콘 산화막(SiO_2), 실리콘 질화막(Si_3N_4), 실리콘산화질화막(SiON), 및 알루미늄산화막(Al_2O_3)을 구비하는 그룹에서 선택되는 하나의 물질로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 9】

제 1 항에 있어서,

상기 반도체 기판은 주변회로 영역을 더 구비하며,

상기 주변회로 영역에서 활성영역을 정의하는 제 3 소자분리막;

상기 활성영역을 가로질러 상기 제 3 소자분리막과 중첩되는 주변 게이트 패턴; 및

상기 제 3 소자분리막 상에서 상기 주변 게이트 패턴과 전기적으로 접속하는 주변 게이트 콘택 플러그를 더 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 10】

제 9 항에 있어서,

상기 주변 게이트 패턴은 상기 게이트 패턴과 동일하게, 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합장벽패턴 및 소오스패턴으로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 11】

제 10 항에 있어서,

상기 주변 게이트 콘택 플러그는 상기 소오스패턴 및 상기 다터널접합장벽패턴을 관통하여 상기 스토리지 노드패턴과 접하는 것을 특징으로 하는 반도체 소자.

【청구항 12】

제 9 항에 있어서,

상기 주변 게이트 패턴의 측벽을 덮는 측벽 게이트 유전막 및 스페이서를 더 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 13】

셀 어레이 영역과 주변회로 영역을 구비하는 반도체 기판을 준비하는 단계;

상기 반도체 기판에 소자분리막을 형성하여 활성영역을 한정하는 단계;

상기 활성영역 상에 게이트 유전막을 형성하는 단계;

스토리지노드층, 다터널접합(Multiple tunnel junction)장벽층, 소오스층 및 마스크층을 차례로 적층하는 단계;

상기 마스크층을 패터닝하여 마스크패턴을 형성하는 단계;

상기 마스크패턴을 식각 마스크로 이용하여 상기 소오스층, 상기 다터널접합장벽층, 상기 스토리지노드층 및 상기 게이트 유전막을 차례로 패터닝하여 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합장벽패턴, 및 소오스패턴으로 이루어지는 셀 게이트 패턴들과 주변 게이트 패턴을 각각 상기 셀 어레이 영역과 상기 주변회로 영역에 형성하는 단계;

상기 셀 게이트 패턴들과 상기 주변 게이트 패턴의 측벽들과 상기 활성영역을 덮는 측벽 게이트 유전막을 형성하는 단계;

상기 셀 게이트 패턴들의 측벽을 둘러싸며 일 방향으로 달리는 서로 평행한 복수개의 제어 라인들을 형성하는 단계;

상기 마스크 패턴을 제거하는 단계;

상기 주변회로 영역에서 상기 소자분리막 상에 위치하는 상기 주변 게이트 패턴의 상기 소오스패턴 및 상기 다터널접합장벽패턴을 패터닝하여 주변 게이트 콘택홀을 형성하는 단계;

상기 셀 어레이 영역에서 상기 셀 게이트 패턴들의 상기 소오스패턴들과 접하며 상기 제어라인과 직교하는 방향으로 달리는 서로 평행한 복수개의 데이터 라인들을 형성하는 단계;

상기 주변 게이트 콘택홀을 채우는 주변 게이트 콘택 플러그를 형성하는 단계를 구비하는 반도체 소자의 형성 방법.

【청구항 14】

제 13 항에 있어서,

상기 제어라인을 형성하기 전에,

상기 셀 게이트 패턴들과 상기 주변 게이트 패턴을 이온주입마스크로 사용하여 상기 반도체 기판에 저농도 불순물 영역을 형성하는 단계;

상기 셀 게이트 패턴들 및 상기 주변 게이트 패턴의 측벽을 덮는 스페이서를 형성하는 단계; 및

상기 스페이서와 상기 셀게이트 패턴들과 상기 주변 게이트 패턴을 이온주입마스크로 사용하여 상기 반도체 기판에 고농도 불순물 영역을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 15】

제 14 항에 있어서,

상기 스페이서는 폴리실리콘으로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법

【청구항 16】

제 14 항에 있어서,

상기 제어라인들을 형성하는 단계는,

상기 측벽 게이트 유전막이 형성된 상기 반도체 기판의 전면 상에 도전막을 콘포말하게 적층하는 단계;

포토리지스트 패턴을 이용하여 상기 도전막을 패터닝하여 상기 셀 어레이 영역에서 상기 마스크패턴과 상기 셀 게이트 패턴을 콘포말하게 덮는 예비 제어라인을 형성하는 단계;

제 1 층간절연막을 적층하는 단계;

상기 제 1 층간절연막을 평탄화하여 상기 예비 제어라인의 상부를 일부 제거하여 상기 마스크 패턴을 노출시키는 단계; 및

상기 예비 제어라인을 일부 제거하여 상기 소오스 패턴의 상부보다 낮은 제어라인을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 17】

제 16 항에 있어서,

상기 소오스 패턴의 상부보다 낮은 제어라인을 형성한 후에,

상기 제 1 층간절연막에 대해 이방성 식각 공정을 진행하여 상기 제 1 층간절연막의 높이를 상기 마스크패턴의 저면보다 낮게 형성하는 단계; 및

제 2 층간절연막을 적층하고 평탄화하여 상기 마스크 패턴을 노출시키는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 18】

제 16 항에 있어서,

상기 마스크패턴과 상기 소오스패턴의 상단부를 덮는 상기 예비 제어라인을 일부 제거할 때, 상기 마스크패턴과 상기 소오스패턴의 상단부를 덮는 상기 스페이서도 일부 제거되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 19】

제 14 항에 있어서,

상기 제어라인들을 형성하는 단계는,

상기 측벽 게이트 유전막이 형성된 상기 반도체 기판의 전면 상에 도전막을 콘포말하게 적층하는 단계;

포토리지스트 패턴을 이용하여 상기 도전막을 패터닝하여 상기 셀 어레이 영역에서 상기 마스크패턴과 상기 셀 게이트 패턴을 콘포말하게 덮는 예비 제어라인을 형성하는 단계;

제 1 층간절연막을 적층하는 단계;

상기 제 1 층간절연막을 평탄화하여 상기 예비 제어라인의 상부를 일부 제거하여 상기 마스크 패턴을 노출시키는 단계; 및

상기 예비 제어라인을 일부 산화하여 상기 소오스 패턴의 상부보다 낮은 제어라인을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 20】

제 14 항에 있어서,

상기 제어라인들을 형성하는 단계는,

상기 측벽 게이트 유전막이 형성된 상기 반도체 기판의 전면 상에 도전막을 콘포말하게 적층하는 단계;

포토리지스트 패턴을 이용하여 상기 도전막을 패터닝하여 상기 셀 어레이 영역에서 상기 마스크패턴과 상기 셀 게이트 패턴을 콘포말하게 덮는 예비 제어라인을 형성하는 단계;

제 1 층간절연막을 적층하는 단계;

상기 제 1 층간절연막을 평탄화하여 상기 예비 제어라인의 상부를 일부 제거하여 상기 마스크 패턴을 노출시키는 단계; 및

상기 예비 제어라인을 일부 산화하여 상기 소오스 패턴의 상단부보다 높은 제어라인을 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 21】

제 20 항에 있어서,

상기 마스크 패턴을 제거한 후에,

상기 제 1 층간절연막의 측벽과 상기 제어라인의 돌출된 상단부의 측벽을 덮는 절연스페이서를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 22】

제 21 항에 있어서,

상기 절연스페이서는 실리콘 산화막(SiO_2), 실리콘 질화막(Si_3N_4), 실리콘산화질화막(SiON), 및 알루미늄산화막(Al_2O_3)을 구비하는 그룹에서 선택되는 하나의 물질로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 23】

제 19 항 또는 제 20 항에 있어서,

상기 예비 제어라인이 산화될때 상기 스페이서도 동시에 산화되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 24】

상기 데이터 라인들을 형성하는 단계와 상기 주변 게이트 콘택 플러그를 형성하는 단계는 동시에 이루어지는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 25】

반도체 기판에 소자분리막을 형성하여 활성영역을 한정하는 단계;

상기 활성영역 상에 게이트 유전막, 스토리지노드층, 다터널접합(Multiple tunnel junction)장벽층, 소오스층 및 마스크층을 차례로 형성하는 단계;

상기 마스크층을 패터닝하여 마스크패턴을 형성하는 단계;

상기 마스크패턴을 식각 마스크로 이용하여 상기 소오스층, 상기 다터널접합장벽층, 상기 스토리지노드층 및 상기 게이트 유전막을 차례로 패터닝하여 상기 반도체 기판으로부터 차례로 적층된 게이트 유전막 패턴, 스토리지노드패턴, 다터널접합장벽패턴, 및 소오스패턴으로 이루어지는 셀 게이트 패턴들을 형성하는 단계;

상기 셀 게이트 패턴들의 측벽들과 상기 활성영역을 덮는 측벽 게이트 유전막을 형성하는 단계;

상기 셀 게이트 패턴들의 측벽을 둘러싸며 일 방향으로 달리는 서로 평행한 복수개의 제어 라인들을 형성하는 단계;

상기 마스크 패턴을 제거하는 단계; 및

상기 셀 게이트 패턴들의 상기 소오스패턴들과 접하며 상기 제어라인과 직교하는 방향으로 달리는 서로 평행한 복수개의 데이터 라인들을 형성하는 단계를 구비하는 반도체 소자의 형성 방법.

【청구항 26】

제 25 항에 있어서,

상기 제어라인을 형성하기 전에,

상기 셀 게이트 패턴들을 이온주입마스크로 사용하여 상기 반도체 기판에 저농도 불순물 영역을 형성하는 단계;

상기 셀 게이트 패턴들의 측벽을 덮는 스페이서를 형성하는 단계; 및

상기 스페이서와 상기 셀게이트 패턴들을 이온주입마스크로 사용하여 상기 반도체 기판에 고농도 불순물 영역을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 27】

제 26 항에 있어서,

상기 스페이서는 폴리실리콘으로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 28】

제 26 항에 있어서,

상기 제어라인들을 형성하는 단계는,

상기 측벽 게이트 유전막이 형성된 상기 반도체 기판의 전면 상에 도전막을 콘포말하게 적층하는 단계;

포토리지스트 패턴을 이용하여 상기 도전막을 패터닝하여 상기 마스크패턴과 상기 셀 게이트 패턴을 콘포말하게 덮는 예비 제어라인을 형성하는 단계;

제 1 층간절연막을 적층하는 단계;

상기 제 1 층간절연막을 평탄화하여 상기 예비 제어라인의 상부를 일부 제거하여 상기 마스크 패턴을 노출시키는 단계; 및

상기 예비 제어라인을 일부 제거하여 상기 소오스 패턴의 상단부보다 낮은 제어라인을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 29】

제 28 항에 있어서,

상기 소오스 패턴의 상단부보다 낮은 제어라인을 형성한 후에,

상기 제 1 층간절연막에 대해 이방성 식각 공정을 진행하여 상기 제 1 층간절연막의 높이를 상기 마스크패턴의 저면보다 낮게 형성하는 단계; 및

제 2 층간절연막을 적층하고 평탄화하여 상기 마스크 패턴을 노출시키는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 30】

제 28 항에 있어서,

상기 마스크패턴과 상기 소오스패턴의 상단부를 덮는 상기 예비 제어라인을 일부 제거할 때, 상기 마스크패턴과 상기 소오스패턴의 상단부를 덮는 상기 스페이서도 일부 제거되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 31】

제 26 항에 있어서,

상기 제어라인들을 형성하는 단계는,

상기 측벽 게이트 유전막이 형성된 상기 반도체 기판의 전면 상에 도전막을 콘포말하게 적층하는 단계;

포토리지스트 패턴을 이용하여 상기 도전막을 패터닝하여 상기 마스크패턴과 상기 셀 게이트 패턴을 콘포말하게 덮는 예비 제어라인을 형성하는 단계;

제 1 층간절연막을 적층하는 단계;

상기 제 1 층간절연막을 평탄화하여 상기 예비 제어라인의 상부를 일부 제거하여 상기 마스크 패턴을 노출시키는 단계; 및

상기 예비 제어라인을 일부 산화하여 상기 소오스 패턴의 상부보다 낮은 제어라인을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 32】

제 26 항에 있어서,

상기 제어라인들을 형성하는 단계는,

상기 측벽 게이트 유전막이 형성된 상기 반도체 기판의 전면 상에 도전막을 콘포말하게 적층하는 단계;

포토리지스트 패턴을 이용하여 상기 도전막을 패터닝하여 상기 마스크패턴과 상기 셀 게이트 패턴을 콘포말하게 덮는 예비 제어라인을 형성하는 단계;

제 1 층간절연막을 적층하는 단계;

상기 제 1 층간절연막을 평탄화하여 상기 예비 제어라인의 상부를 일부 제거하여 상기 마스크 패턴을 노출시키는 단계; 및

상기 마스크패턴의 상단부를 덮는 상기 예비 제어라인을 일부 산화하여 상기 소오스 패턴의 상단부보다 높은 제어라인을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 33】

제 32 항에 있어서,

상기 마스크 패턴을 제거한 후에,

상기 제 1 층간절연막의 측벽과 상기 제어라인의 돌출된 상단부의 측벽을 덮는 절연스페이서를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 34】

제 32 항에 있어서,

상기 절연스페이서는 실리콘 산화막(SiO_2), 실리콘 질화막(Si_3N_4), 실리콘산화질화막(SiON), 및 알루미늄산화막(Al_2O_3)을 구비하는 그룹에서 선택되는 하나의 물질로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 35】

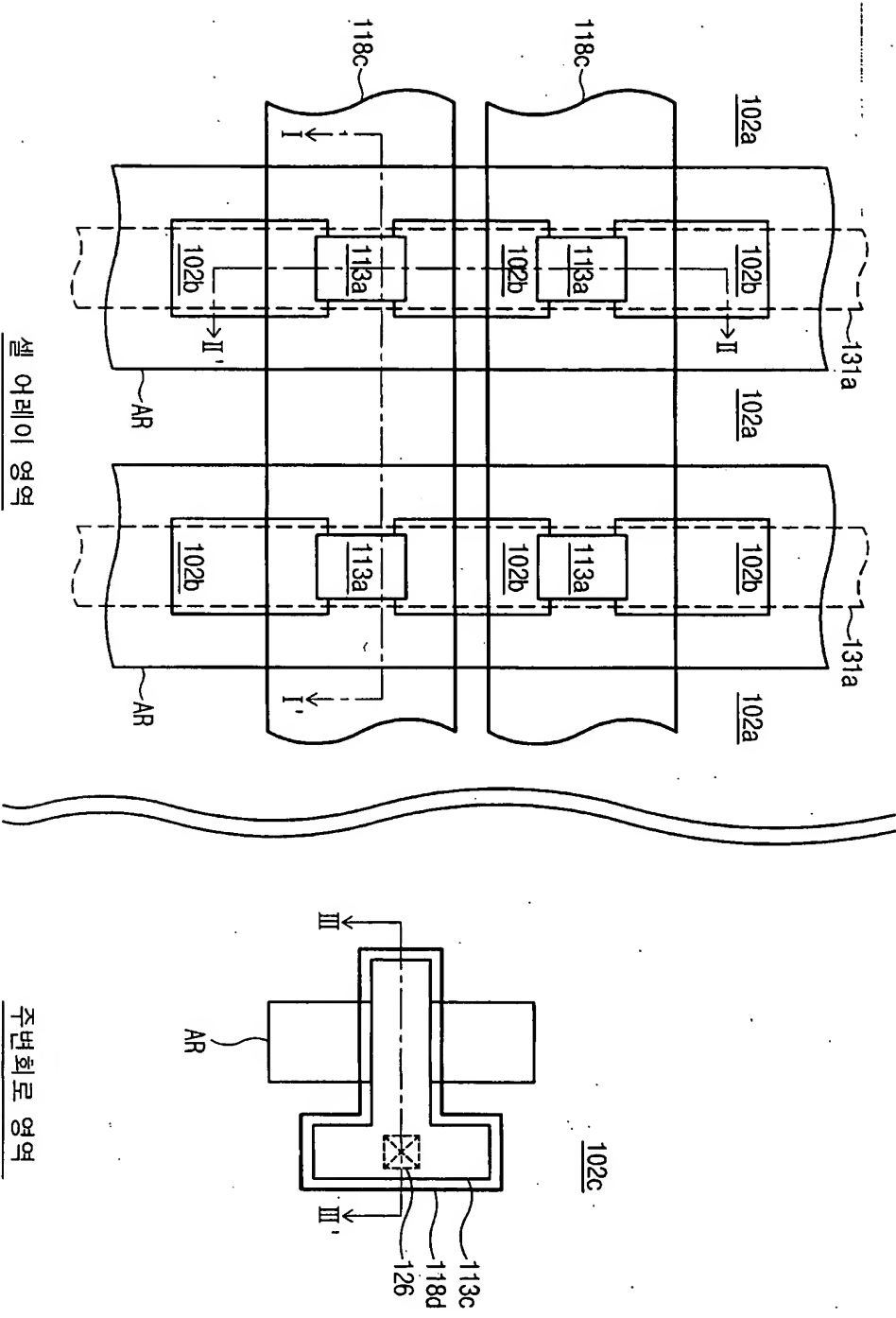
제 31 항 또는 제 32 항에 있어서,

상기 예비 제어라인이 산화될때 상기 스페이서도 동시에 산화되는 것을 특징으로 하는 반도체 소자의 형성 방법.

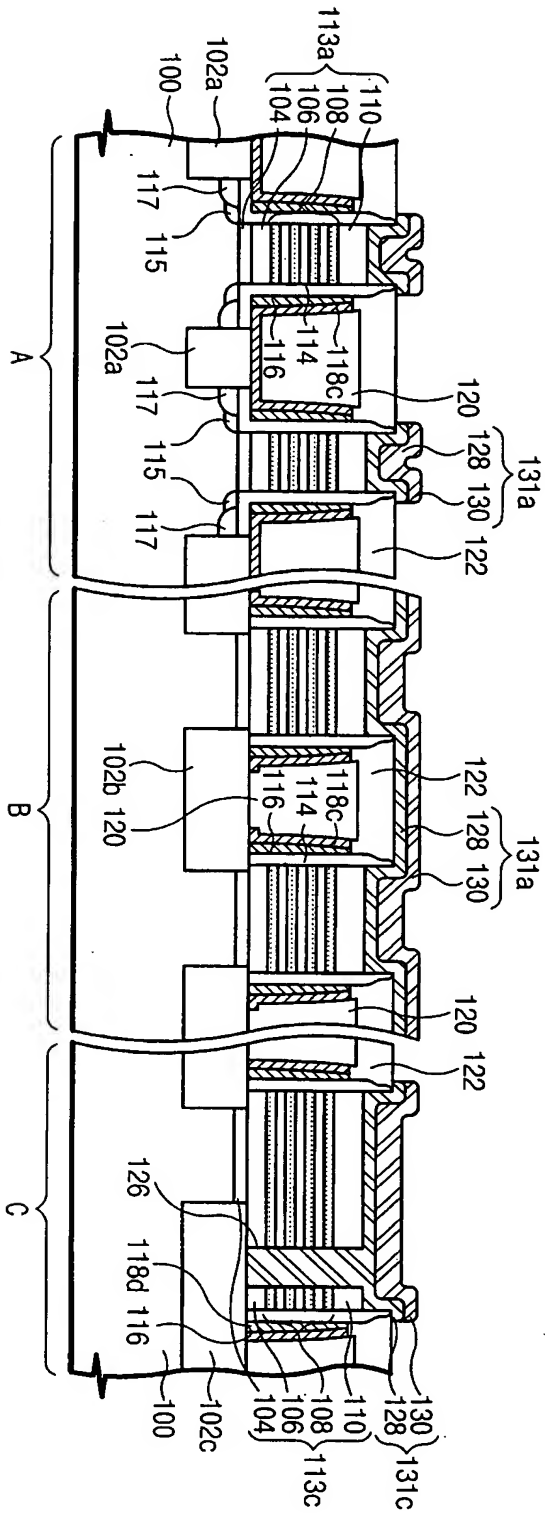


【도면】

【도 1】

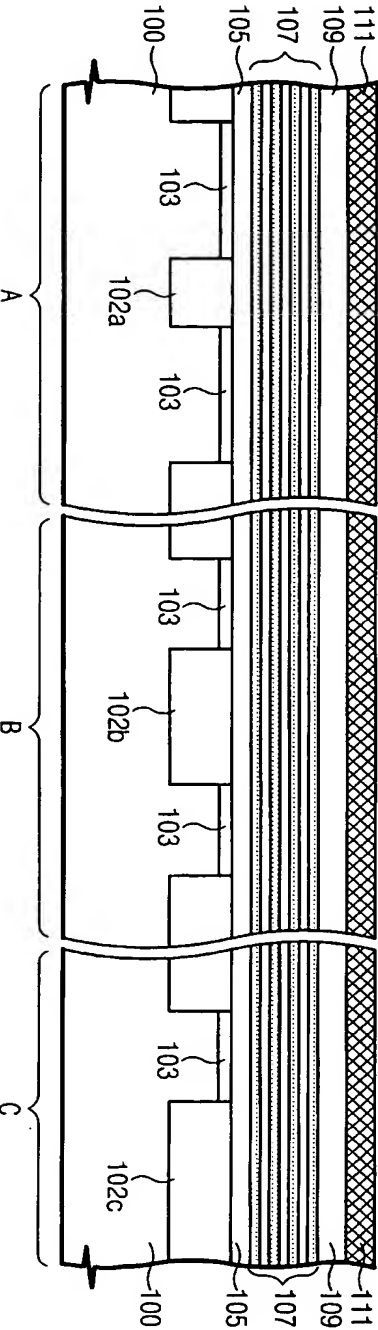


【도 2】



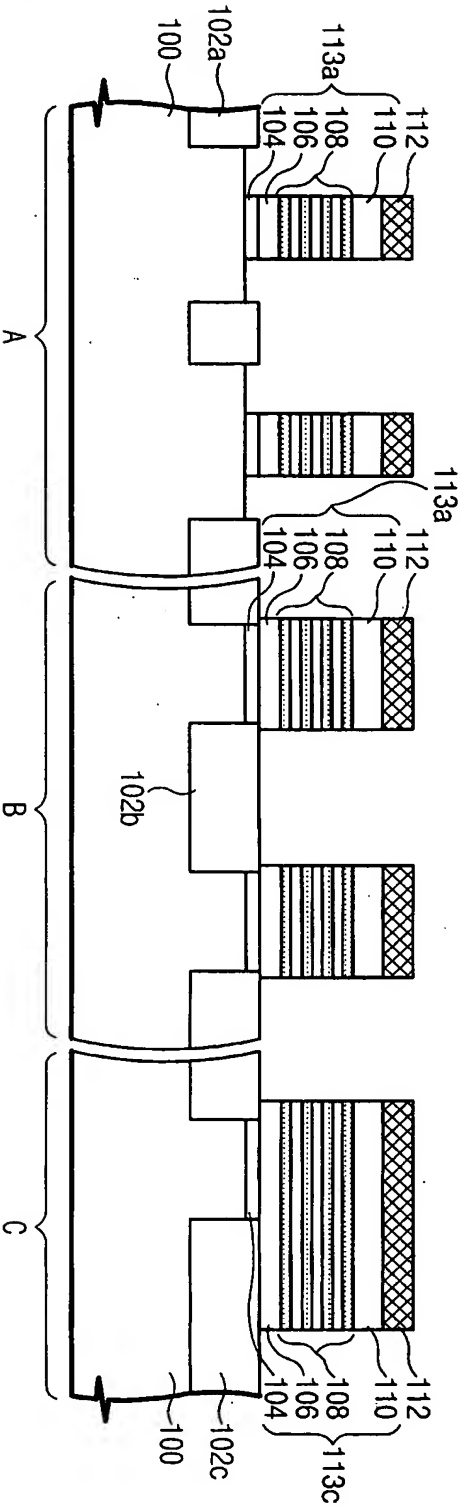


【도 3a】



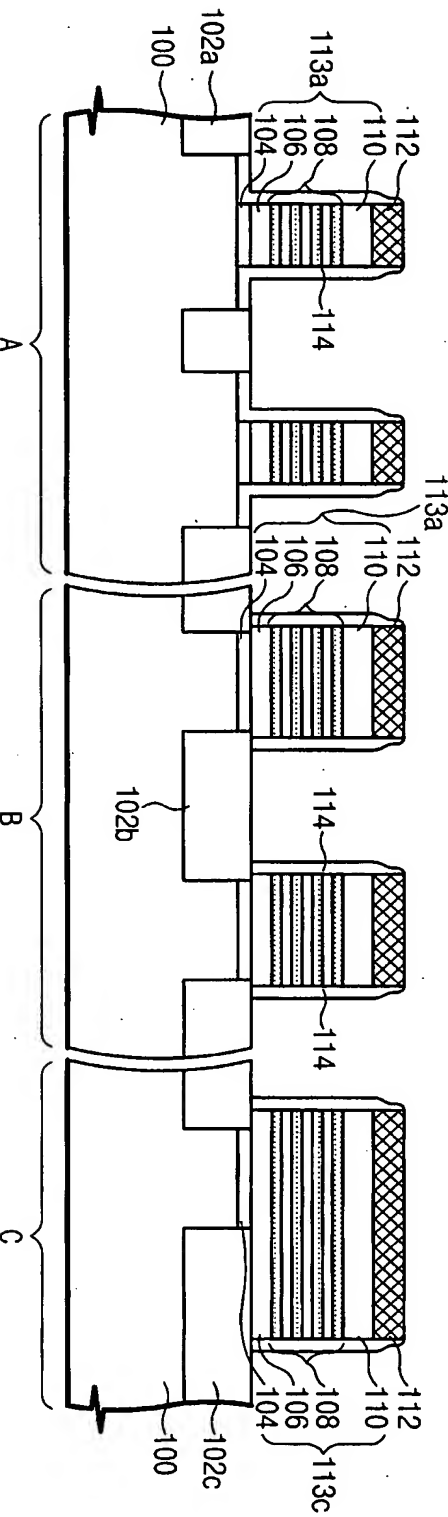


【도 3b】



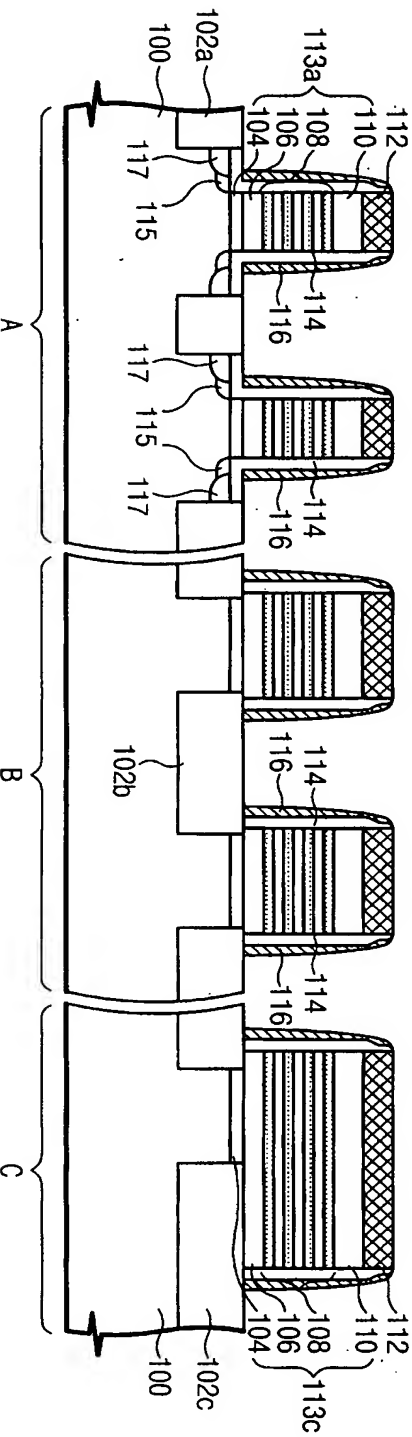


【도 3c】

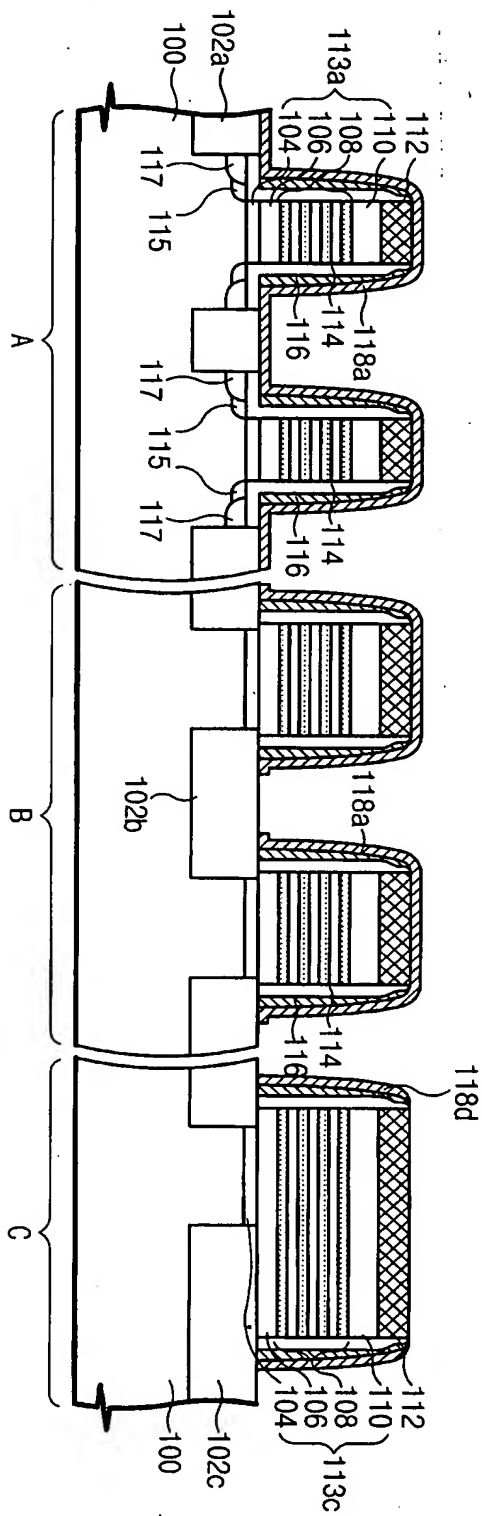




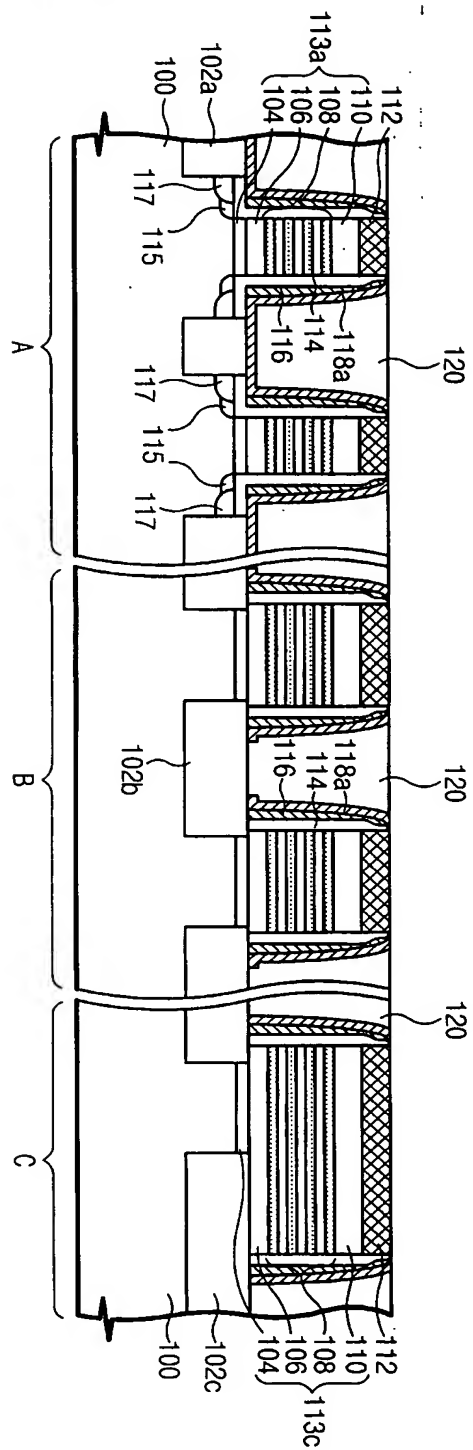
【도 3d】



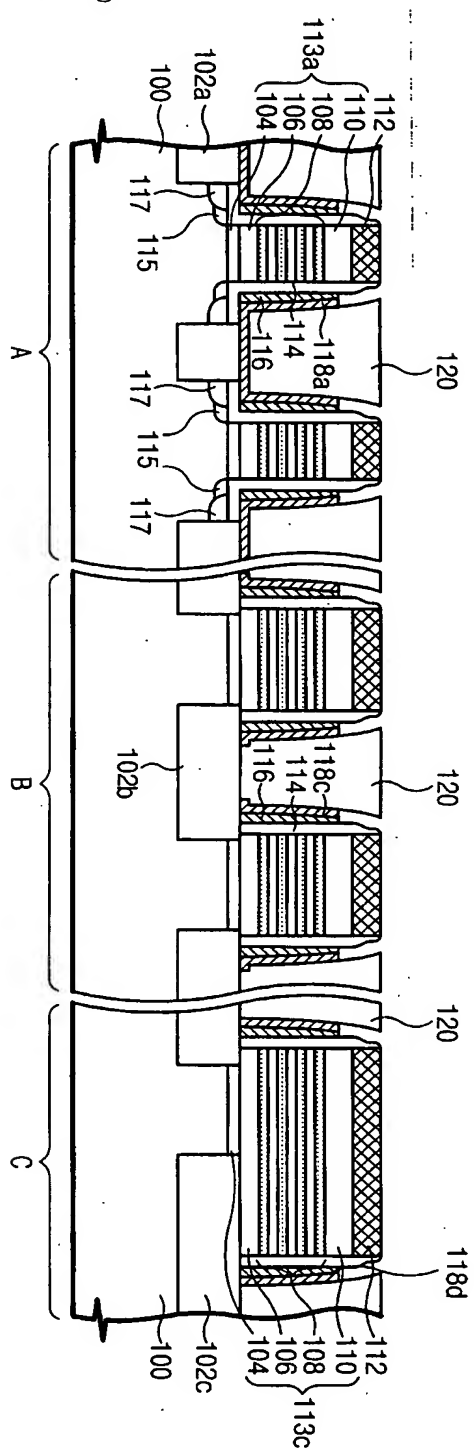
【도 3e】



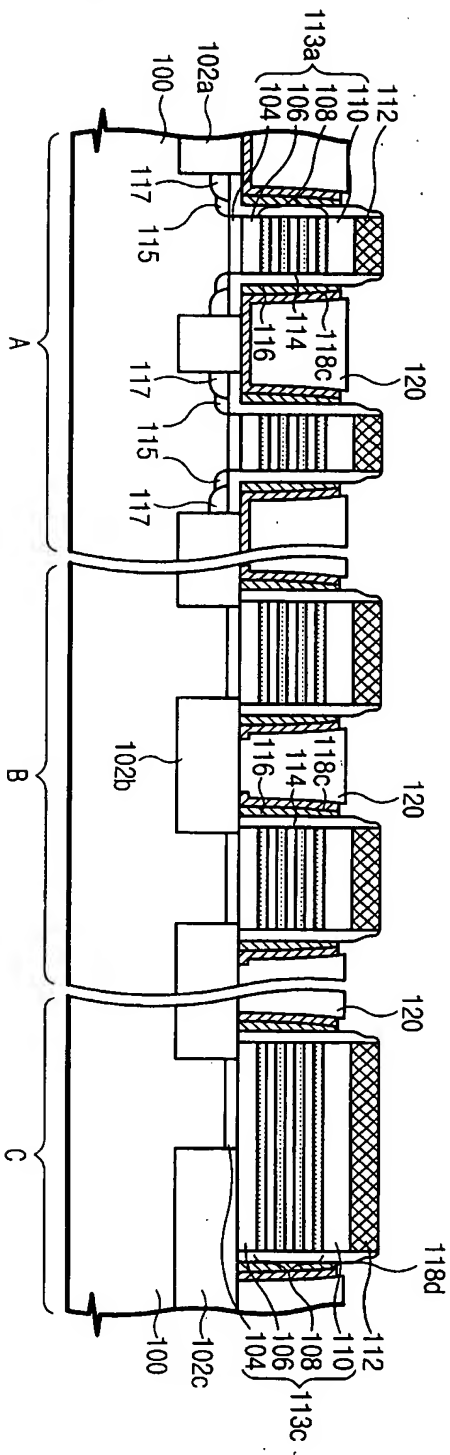
【도 3f】



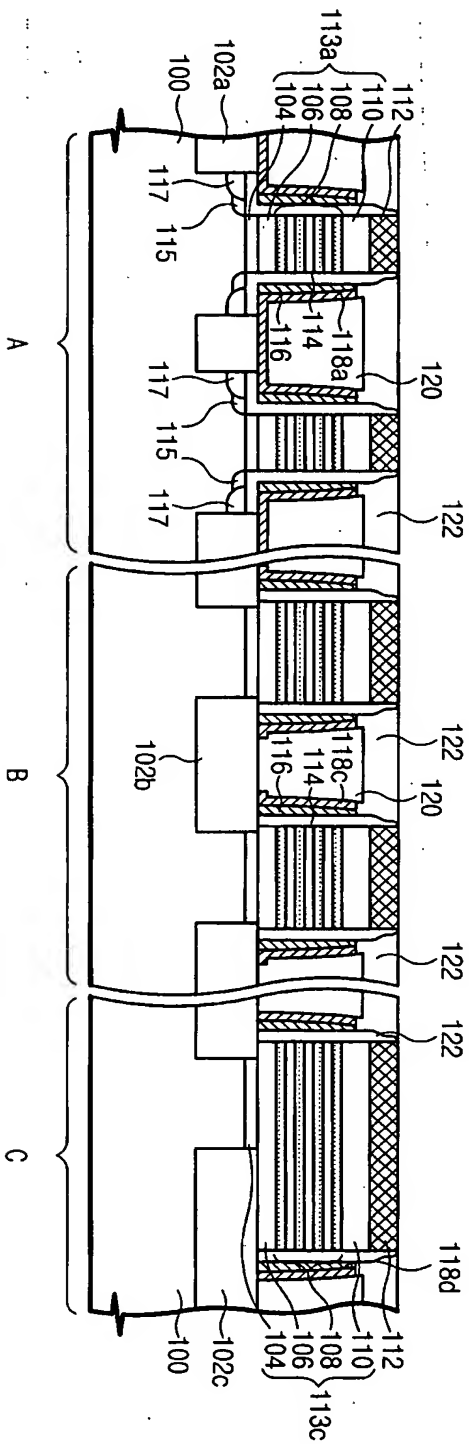
【도 3g】



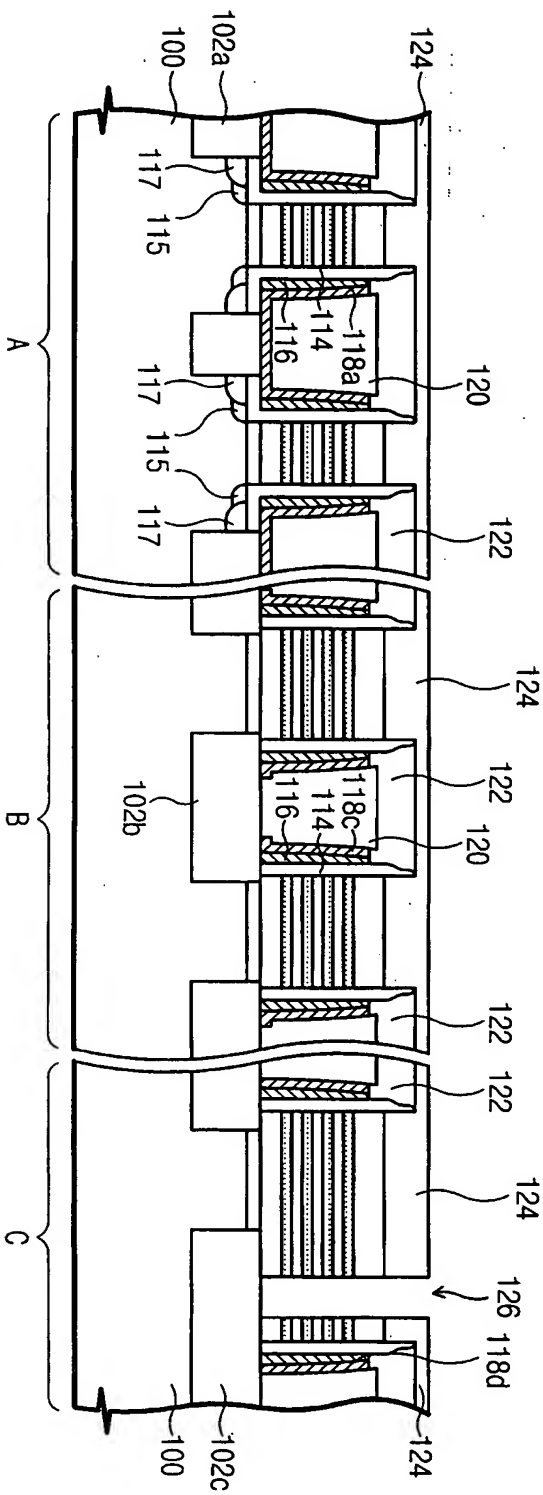
【도 3h】



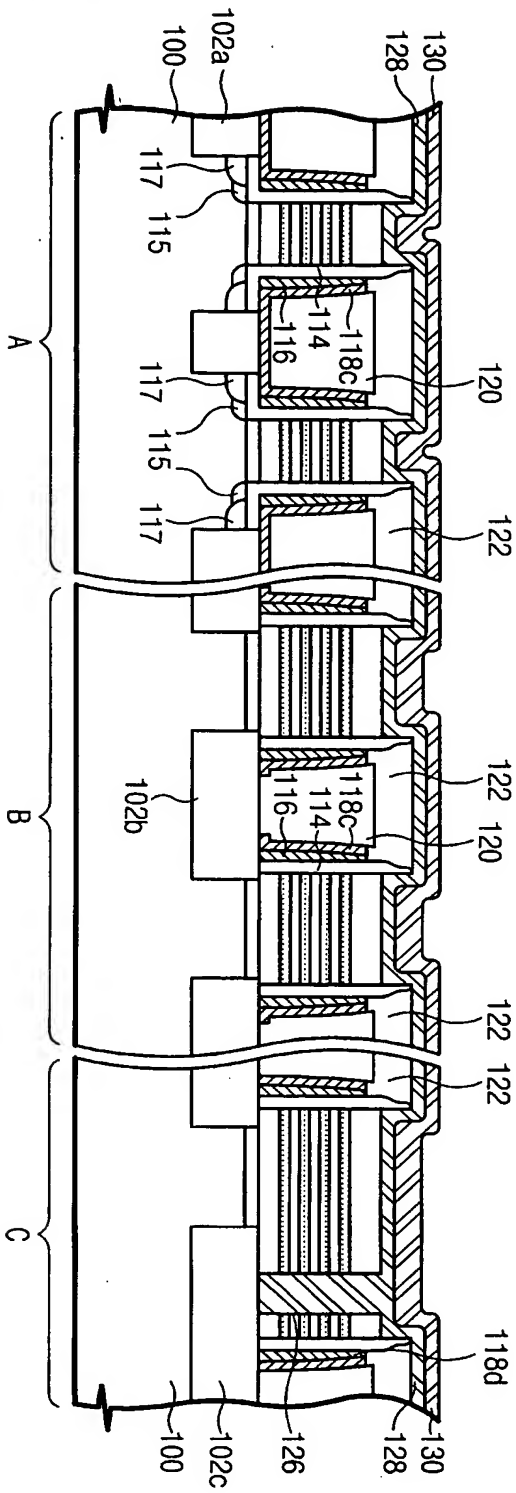
【도 3i】



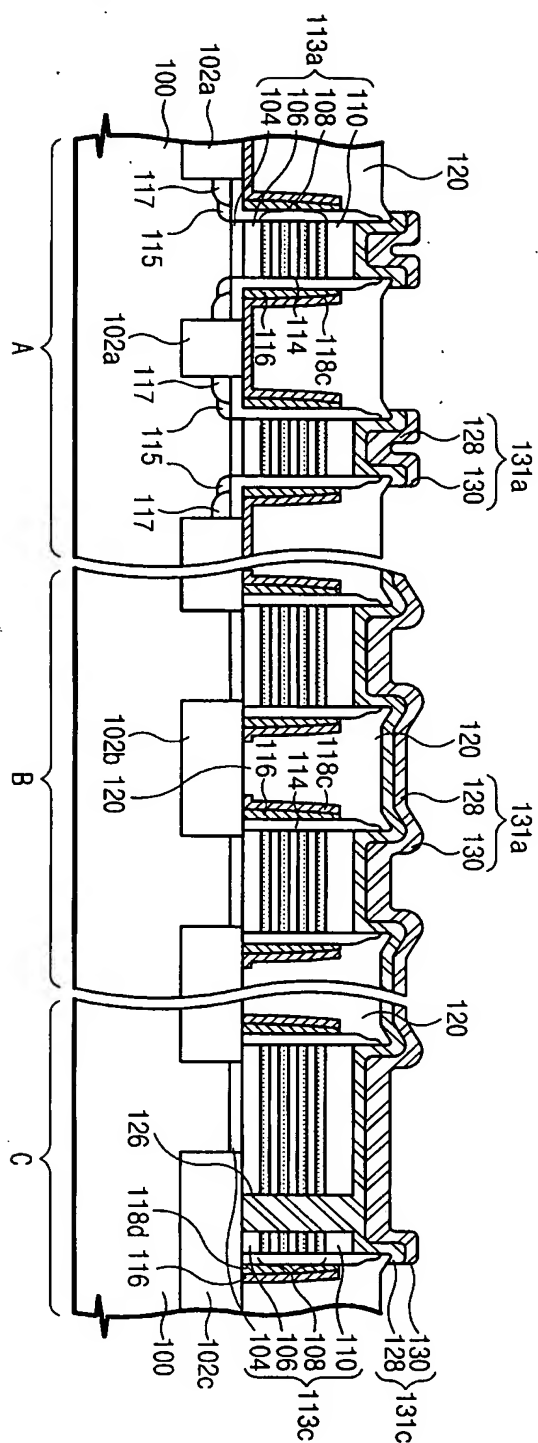
【도 3j】



【도 3k】

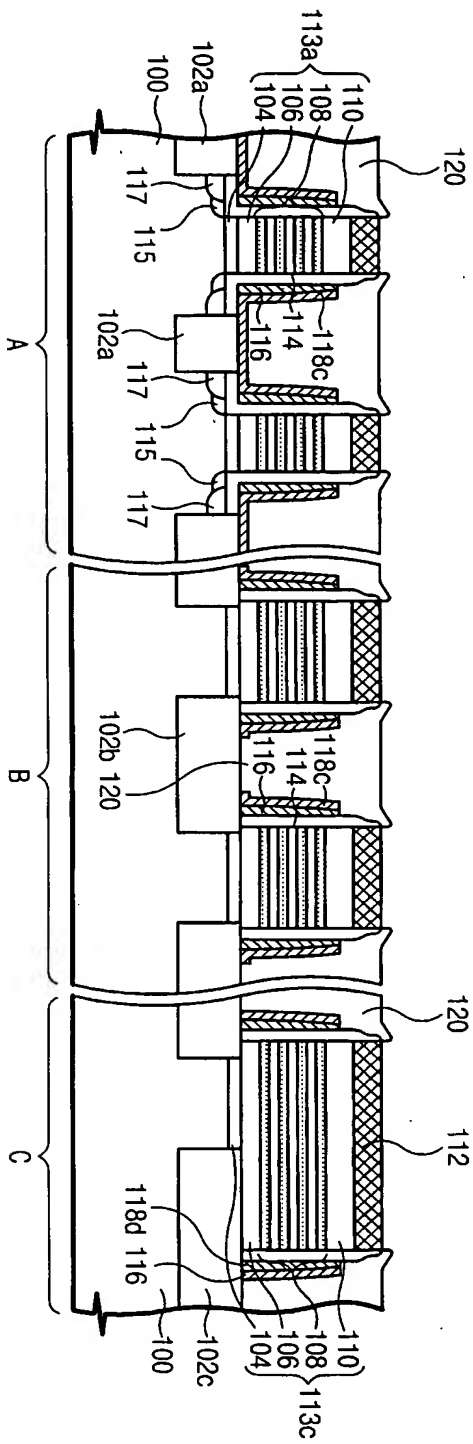


【도 4】

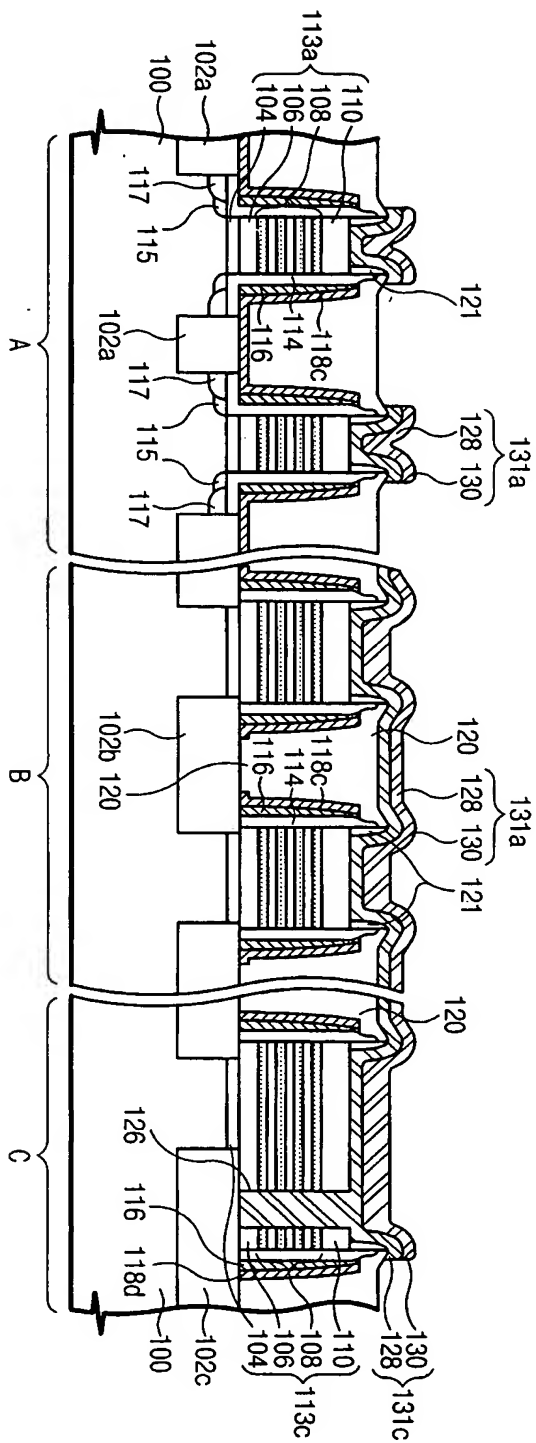




【도 5】



【도 6】



【도 7】

